



Ανάπτυξη Μεθοδολογίας Σχεδιασμού Βέλτιστων Επεξεργαστών Ειδικού Σκοπού

ΠΕΝΕΔ-2003

Τίτλος:	Καθορισμός της Αρχιτεκτονικής και Σχεδιασμός του ASIP
Συγγραφείς:	Νικόλαος Καββαδίας (Ερευνητής Α.Π.Θ.)
Κωδικός:	Π 5.1
Έκδοση:	1.0
Τύπος:	Παραδοτέο
Εμπιστευτικότητα:	Δημόσια
Ημερομηνία:	Οκτώβριος 04, 2007
Πρόγραμμα:	Πρόγραμμα Ενίσχυσης του Ερευνητικού Δυναμικού (ΠΕΝΕΔ 2003)
Λέξεις-Κλειδιά:	επεξεργαστές ειδικού σκοπού, αρχιτεκτονική συνόλου εντολών, κωδικοποίηση εντολών, αρχιτεκτονικές επεκτάσεις υλικού ειδικού σκοπού, εφαρμογές δοκιμής, αρχιτεκτονική βάσης, μοντέλο επέκτασης, εκτίμηση επιδόσεων
Πρόλογος:	Αντικείμενο του παραδοτέου αυτού είναι ο καθορισμός των λεπτομερειών του γενικού αρχιτεκτονικού περιγράμματος των ASIP. Γίνεται αναφορά στα επιμέρους στοιχεία της αρχιτεκτονικής των ASIP και στις ρυθμιστικές παραμέτρους τους. Περιγράφονται διεξοδικά: η ρυθμιζόμενη αρχιτεκτονική βάσης που είναι κοινή για τους ASIP (ΕΕΣ) της μεθοδολογίας, η κωδικοποίηση βασικών, ειδικών εντολών και εντολών συνεπεξεργαστή, το μοντέλο επέκτασης/κλιμάκωσης με αρχιτεκτονικές επεκτάσεις υλικού ειδικού σκοπού (ASHEs) και συνεπεξεργαστές, η αρχιτεκτονική αποκωδικοποίησης εντολών, η αρχιτεκτονική αποθήκευσης, και το μοντέλο σταδίων διοχέτευσης.

Copyright © 2007

Νικόλαος Καββαδίας Α.Π.Θ.

**Ιστορικό**

Ημερομηνία	Έκδοση	Σχόλια
Σεπτέμβριος 07, 2007	0.1	Πρώτη πρόχειρη έκδοση
Οκτώβριος 04, 2007	1.0	Τελική έκδοση

Πίνακας περιεχομένων

Πίνακας περιεχομένων	3
1. ΕΙΣΑΓΩΓΗ	4
2. ΚΑΘΟΡΙΣΜΟΣ ΤΗΣ ΑΡΧΙΤΕΚΤΟΝΙΚΗΣ ΚΑΙ ΣΧΕΔΙΑΣΜΟΣ ΤΟΥ ΕΕΣ	5
2.1. Στοιχεία του ειδικού αρχιτεκτονικού περιγράμματος των ΕΕΣ	5
2.1.1. Επιθυμητές χαρακτηριστικές παράμετροι/ιδιότητες των ΕΕΣ	5
2.2. Η αρχιτεκτονική του επεξεργαστή ειδικού σκοπού ByoRISC	7
2.2.1. Η κωδικοποίηση εντολών των επεξεργαστών ByoRISC	8
2.2.2. Συμβάσεις για την αρχιτεκτονική καταχωρητών όσον αφορά την κλήση υπορουτινών	9
2.2.3. Το σύνολο εντολών ByoRISC	10
2.2.4. Υποστήριξη ειδικών εντολών σε επεξεργαστές ByoRISC	15
2.2.5. Υποστήριξη επικοινωνίας των ΕΛΜ με τη μνήμη δεδομένων	16
2.2.6. Υποστήριξη συνεπεξεργαστών σε τοπική διασύνδεση με επεξεργαστές ByoRISC	17
2.3. Η μικροαρχιτεκτονική των επεξεργαστών ByoRISC	18
2.3.1. Οργάνωση της αρχιτεκτονικής διοχέτευσης για τη μικροαρχιτεκτονική υλοποίηση ενός ByoRISC	20
2.3.2. Το πεδίο μικροαρχιτεκτονικού σχεδιασμού των επεξεργαστών ByoRISC	23
2.3.3. Μικροαρχιτεκτονικές ιδιαιτερότητες των επεξεργαστών ByoRISC	25
2.4. Εμπειρικός σχεδιασμός ειδικών λειτουργικών μονάδων	30
3. ΧΑΡΑΚΤΗΡΙΣΜΟΣ ΤΩΝ ΕΕΣ ΣΕ ΔΙΑΦΟΡΕΤΙΚΕΣ ΤΕΧΝΟΛΟΓΙΕΣ ΥΛΟΠΟΙΗΣΗΣ	31
3.1. Χαρακτηρισμός λειτουργικών μονάδων	32
3.2. Χαρακτηρισμός της μονάδας προώθησης δεδομένων	35
3.3. Χαρακτηρισμός του αρχείου καταχωρητών	37
3.4. Χαρακτηρισμός ενός επεξεργαστή ByoRISC	39
4. ΑΝΑΦΟΡΕΣ	42

1. ΕΙΣΑΓΩΓΗ

Στην παρούσα τεχνική αναφορά περιγράφεται διεξοδικά η ανάπτυξη και σχεδιασμός της οικογένειας επεξεργαστών ειδικού σκοπού (ASIP) **ByoRISC**. Οι επεξεργαστές ByoRISC βασίζονται σε καινοτόμο μικροαρχιτεκτονικό περίγραμμα το οποίο αναπτύχθηκε από μηδενικής βάσης, και το οποίο διαθέτει εξειδικευμένα χαρακτηριστικά όπως:

- υποστήριξη εκτενούς αριθμού παραμέτρων ρύθμισης και κλιμάκωσής τους
- επιτάχυνση της εκτέλεσης εφαρμογών με εντατικές διεργασίες βρόχων με αυθαίρετη πολυπλοκότητα χρησιμοποιώντας την αρχιτεκτονική ZOLC (Ελεγκτής Βρόχου Μηδενικής Επιβάρυνσης)
- υποστήριξη επεκτάσεων υλικού ειδικού σκοπού πολλαπλών-εισόδων πολλαπλών-εξόδων (ASHEs: Application-Specific Hardware Extensions)
- θέσπιση εμβόλιμου σταδίου διοχέτευσης για την αποκωδικοποίηση των ειδικών εντολών και χρήση παραμετρικού πολυθυρικού αρχείου καταχωρητών
- εκτέλεση εντολών πολλαπλών-εισόδων, πολλαπλών-εξόδων με μηδενική επιβάρυνση
- θέσπιση κλιμακούμενης αρχιτεκτονικής προώθησης δεδομένων
- υποστήριξη τοπικών συνεπεξεργαστών
- υποστήριξη ειδικών εντολών πολλαπλών κύκλων που ενσωματώνουν λειτουργίες φόρτωσης ή/και αποθήκευσης από/και προς τη μνήμη δεδομένων.

Για τους επεξεργαστές ByoRISC υλοποιήθηκαν συνθέσιμα μοντέλα σε VHDL και αντίστοιχοι προσομοιωτές εκτίμησης κύκλου σε ArchC, για τους οποίους δίνονται περισσότερα στοιχεία στο Παραδοτέο Π6.1.

2. ΚΑΘΟΡΙΣΜΟΣ ΤΗΣ ΑΡΧΙΤΕΚΤΟΝΙΚΗΣ ΚΑΙ ΣΧΕΔΙΑΣΜΟΣ ΤΟΥ ΕΕΣ

2.1. Στοιχεία του ειδικού αρχιτεκτονικού περιγράμματος των ΕΕΣ

Η διαδικασία της εξαγωγής της απαιτούμενης πληροφορίας, για την ανάπτυξη της συγκεκριμένης αρχιτεκτονικής που υλοποιεί ο ΕΕΣ (ρεπερτόριο εντολών και μικροαρχιτεκτονική), από τις γενικές προδιαγραφές του (κεφ. 4) και τη στοχευόμενη εφαρμογή, αποτελεί θεμελιώδες ζητούμενο στις ροές ανάπτυξης/σχεδιασμού ΕΕΣ. Αντικείμενο του κεφαλαίου 7 είναι ο καθορισμός της αρχιτεκτονικής (των κοινών αρχιτεκτονικών χαρακτηριστικών) των ΕΕΣ που μπορούν να στοχευτούν από τη μεθοδολογία. Προκειμένου την τεκμηρίωση των ΕΕΣ, συντάχθηκαν η ArchC περιγραφή και το συνθέσιμο VHDL μοντέλο για την οικογένεια των επεξεργαστών αυτών, για τα οποία πιστοποιήθηκε η ορθή λειτουργία κατά τις προδιαγραφές.

Ουσιαστικό ρόλο στην επιτυχία ενός ΕΕΣ σε συνθήκες τελικού προϊόντος διαδραματίζει η δυνατότητα ανάπτυξης εφαρμογών για αυτόν. Το εν λόγω ζήτημα έγκειται κυρίως στη δυνατότητα ανάπτυξης μεταγλωττιστή για τη στόχευση προγραμμάτων σε γλώσσες HLL στον θεωρούμενο ΕΕΣ. Στην πράξη υφίσταται ένα ελάχιστο υποσύνολο εντολών (περίπου 25-30 εντολές ακεραίας αριθμητικής) το οποίο επαρκεί για την πλήρη υποστήριξη της γραμματικής μιας HLL όπως η C, FORTRAN, BASIC, και Pascal. Για παράδειγμα, το σύνολο εντολών του πολύ απλού επεξεργαστή RISC με το όνομα SABRE αποτελείται από 28 εντολές ακεραίας αριθμητικής (14 αριθμητικές, 7 διακλάδωσης/άλματος και 4 φόρτωσης/αποθήκευσης) και καλύπτει πλήρως το ακεραίο υποσύνολο της C [SABRE]. Άλλα παραδείγματα αρκετά περιορισμένων συνόλων εντολών συναντώνται σε απλούς επεξεργαστές RISC όπως οι DLX (εμφανίζονται διαφοροποιήσεις του από εκδοχή σε εκδοχή· μία τέτοια είναι και ο ASPIDA [ASPIDA]), MIPS-I¹, και οι νεωτεριστικοί πλάσιμοι επεξεργαστές MicroBlaze [MicroBlaze], Nios-II [Nios-II] και Mico32 [Lattice]. Η απαίτηση αυτή αποτελεί πρακτική συνθήκη για τη βιωσιμότητα των ΕΕΣ όταν και εφόσον ζητηθεί να αξιοποιηθούν ΕΕΣ της μεθοδολογίας σε ρεαλιστικές συνθήκες χρήσης (εμπορικό προϊόν ή έργο περιγραφής υλικού με διάθεση υπό άδεια για εμπορική χρήση) πέραν των συνθηκών προτυποποίησης σε συγκεκριμένες πλατφόρμες ανάπτυξης FPGA.

Για την ικανοποίηση των παραπάνω απαιτήσεων, οι ΕΕΣ της μεθοδολογίας διαθέτουν κοινό υποσύνολο εντολών το οποίο υπονοεί την ανάγκη θέσπισης μιας θεμελιώδους αρχιτεκτονικής. Συγκεκριμένες παράμετροι για τις υλοποιήσεις των ΕΕΣ σε μικροαρχιτεκτονικό επίπεδο μπορούν να ρυθμιστούν πριν την εξαγωγή της τελικής περιγραφής τους σε VHDL.

2.1.1. Επιθυμητές χαρακτηριστικές παράμετροι/ιδιότητες των ΕΕΣ

Το ειδικό αρχιτεκτονικό περίγραμμα για τους ΕΕΣ έχει τα χαρακτηριστικά που συνοψίζονται αμέσως παρακάτω, ενώ στην ενότητα 2.2 δίνεται και η αναλυτική και αυστηρότερη περιγραφή των ΕΕΣ της μεθοδολογίας. Αρκετές από τις παραμέτρους αφορούν την εκμετάλλευση των ιδιαίτερων χαρακτηριστικών που χαρακτηρίζουν τις χρησιμοποιούμενες τεχνολογίες υλοποίησης (ASIC, FPGA) που χρησιμοποιούνται. Καθώς η προτυποποίηση των ASIP μπορεί να γίνει άμεσα μόνο σε FPGA, δόθηκε ιδιαίτερο βάρος στην καλύτερη εκμετάλλευση των πόρων υλικού που προσφέρουν οι προγραμματιζόμενες αυτές διατάξεις.

Οι ΕΕΣ της μεθοδολογίας έχουν τα εξής κοινά χαρακτηριστικά:

¹ Η υλοποίηση R3000 είχε υπάρξει ως επιτυχημένο προϊόν στα τέλη της δεκαετίας του '80.

- Οι ΕΕΣ δεν διαθέτουν κεντρικό αποκωδικοποιητή εντολών. Για τις βασικές εντολές γίνεται μερική αποκωδικοποίηση πεδίων της εντολής κατά απαίτηση στα αντίστοιχα στάδια διοχέτευσης. Αυτό λειτουργεί επιβαρυντικά όσον αφορά τον αριθμό των bit αποθήκευσης που χρειάζονται ως καταχωρητές διοχέτευσης αλλά προσφέρει σημαντικές διευκολύνσεις στην αυτοματοποίηση της αλλαγής υλοποίησης ορισμένων εντολών (όπως της αντικατάστασης τοπολογίας πολλαπλασιαστή). Η λειτουργία της μερικής αποκωδικοποίησης βασίζεται στις τιμές των πρωτευόντων και δευτερευόντων κωδικών λειτουργίας (primary/secondary opcodes) των εντολών. Οι ειδικές εντολές απαιτούν ένα δεύτερο στάδιο διοχέτευσης αποκωδικοποίησης εντολής για την εξαγωγή πληροφορίας ελέγχου για τα ορίσματα εισόδου και εξόδου των ειδικών εντολών από πίνακα αναζήτησης (LUT) στον οποίο είναι προαποθηκευμένη.
- Για τους στοχευόμενους ΕΕΣ, το κεντρικό αρχείο καταχωρητών πρέπει να διαθέτει αριθμό θυρών εγγραφής/ανάγνωσης αρκούντως μεγάλο ώστε όλες οι ειδικές εντολές που έχουν υλοποιηθεί στον εν λόγω ΕΕΣ να μπορούν να αντλήσουν και αποθηκεύσουν ορίσματα χωρίς απώλειες σε κύκλους εκτέλεσης. Η σκοπιμότητα της δυνατότητας αυτής υποστηρίζεται στην πρόσφατη βιβλιογραφία [Jon06] και είναι θεμελιώδης για την εκμετάλλευση των ειδικών εντολών τύπου MISO και MIMO. Σε μικροαρχιτεκτονικό επίπεδο, η υλοποίηση τέτοιων αρχείων καταχωρητών έχει δυσκολίες οι οποίες διαφέρουν ανάλογα με τη διεργασία υλοποίησης. Στο κεφ. 9, υποστηρίζεται ότι 8 θύρες ανάγνωσης και 8 εγγραφής επαρκούν ώστε την επίτευξη του 92% της μέγιστης θεωρητικά επιτάχυνσης για το λογισμικό εφαρμογών ενός υποθετικού ενσωματωμένου συστήματος λόγω των ειδικών εντολών.
- Το κεντρικό αρχείο καταχωρητών στους τυπικούς RISC επεξεργαστές των 32-bit διαθέτει 32 καταχωρητές, ορισμένοι από αυτούς δε έχουν ειδική χρήση². Για τους ΕΕΣ της μεθοδολογίας προκαθορισμένη χρήση έχουν οι καταχωρητές zero, one, at, gp, sp, fp, και ra. Η λειτουργία του κάθε ενός από αυτούς εξηγείται παρακάτω, στο πλαίσιο της αναλυτικής περιγραφής της αρχιτεκτονικής των ΕΕΣ.
- Ο αριθμός καταχωρητών στο γενικής-χρήσης αρχείο καταχωρητών μπορεί να καθοριστεί από 16 ως 256 (σε δύναμη του 2). Επιλογή της τιμής αυτής μεγαλύτερης του 32 έχει επιπτώσεις στην κωδικοποίηση εντολών καθώς π.χ. ενδέχεται να μειωθεί το εύρος bit των άμεσων ορισμάτων. Παράλληλα, όμως επιτρέπει την αντιστοίχιση μεγαλύτερου αριθμού μεταβλητών με ζωντανούς καταχωρητές κάτι που μειώνει σημαντικά τις λειτουργίες έγχυσης/γεμίσματος προς και από τη μνήμη δεδομένων.
- Εκτός από τις λειτουργικές μονάδες για τις αυτόματα εξαγόμενες ειδικές εντολές (π.χ. από το YARDstick), ο χρήστης της ροής σχεδιασμού ΕΕΣ δύναται να ενσωματώσει τις δικές του, εμπειρικά σχεδιασμένες, λειτουργικές μονάδες στο υλικό επέκτασης των ΕΕΣ, τηρώντας τις προδιαγραφές της αντίστοιχης διεπαφής. Σε αντίστοιχη ενότητα δίνεται πλήθος παραδειγμάτων (όπως οι μονάδες bitinsert και bitextract και η μονάδα porcount για την απαρίθμηση πληθυσμού) βελτιστοποιημένων υλοποιήσεων τέτοιων μονάδων.
- Η αρχιτεκτονική μνήμης είναι τύπου Harvard, δηλαδή οι μνήμες προγράμματος και δεδομένων βρίσκονται σε διαφορετικές φυσικές μνήμες και έτσι δεν υφίστανται δομικοί κίνδυνοι (structural hazards) στις προσπελάσεις σε αυτές. Και οι δύο τύποι μνήμης θεωρείται ότι αποτελούνται από ένα τουλάχιστον τμήμα, το οποίο είναι στο ολοκληρωμένο (στην περίπτωση του FPGA, υλοποιημένο σε block RAM) με ενδεχόμενη επέκταση για προσθήκη εξωτερικής μνήμης.

² Αυτό μπορεί να επιβάλλεται από το ίδιο το υλικό ή να είναι μια σύμβαση σε επίπεδο λογισμικού/ABI.

- Στην πλειοψηφία των περιπτώσεων οι ΕΕΣ καλούνται να εξυπηρετήσουν εξειδικευμένες εφαρμογές με περιορισμένο μέγεθος κώδικα. Αυτό συνήθως συμβαίνει σε ετερογενείς αρχιτεκτονικές συστημάτων (heterogeneous SoC) όπου το RTOS και το «περιτύλιγμα» του εφαρμογίδιου που εξυπηρετείται στον ΕΕΣ, εκτελούνται σε ενσωματωμένο GPP (MIPS32 συμβατό, ARMv4 και άνω, LEON3 SPARC-V8 συμβατό, επεξεργαστή PPU της αρχιτεκτονικής Cell). Αυτός ο περιορισμός του εύρους χρήσης επιτρέπει μία σειρά από παραμετροποιήσεις στη βασική αρχιτεκτονική του ΕΕΣ:
 - ο Χρήση κρυφών μνημών (caches). Καθώς οι κρυφές μνήμες είναι ιδιαίτερα απαιτητικές σε επιφάνεια υλικού, ορισμένοι εμπορικοί σχεδιασμοί ΕΕΣ τις αποφεύγουν. Ένα παράδειγμα εμπορικού cacheless επεξεργαστή είναι ο 108Mini της σειράς Diamond της Tensilica [Tensilica]. Η υπόθεση της μη χρήσης κρυφών μνημών είναι λογική στην περίπτωση που ολόκληρη η ενσωματωμένη εφαρμογή που εκτελείται από τον ΕΕΣ μπορεί να είναι προαποθηκευμένη στην αρχή του χρόνου εκτέλεσης, ή να αποθηκεύεται κατά τη διαδικασία εκκίνησης, σε block RAM ή σε εξωτερική μνήμη SRAM/SDRAM.
 - ο Χρήση εντολών άλματος (χωρίς και υπό συνθήκη) για την αποκλειστική διευθυνσιοδότηση απόλυτων διευθύνσεων του PC.
 - ο Υλοποίηση εντολών κλήσης συστήματος (syscall στους MIPS-I, MIPS32).
- Υποστήριξη της αρχιτεκτονικής βρόχου μηδενικής επιβάρυνσης (ZOLC [Kav05], [Kav06],[Kav08]) για την επιτάχυνση της εκτέλεσης των μικρολειτουργιών βρόχων με αυθαίρετη πολυπλοκότητα. Μία αντίστοιχη πρόσφατη εργασία η οποία βασίζεται στην ανάλυση της δομής βρόχων με χρήση θεωρίας Z-πολυέδρων (Z-polyhedra) έχει επίσης οδηγήσει σε πρωτότυπο εργαλείο [cloogvhd] το οποίο θα ήταν ενδεχόμενα αξιοποιήσιμο για τη σύνθεση του VHDL κώδικα αρχιτεκτονικής ελέγχου βρόχων από το αντιπροσωπευτικό της αυτόματο.
- Προδιαγραφές της διεπαφής για την ενσωμάτωση αρχιτεκτονικών επεκτάσεων υλικού ειδικού σκοπού (ASHEs). Η διεπαφή λαμβάνει υπόψη την κωδικοποίηση εντολών για τους ΕΕΣ.
- Προδιαγραφές της διεπαφής με συνεπεξεργαστές σε τοπική διασύνδεση. Οι συγκεκριμένες προδιαγραφές καθορίστηκαν με δημιουργική σύνθεση ιδεών κατάλληλα προσαρμοσμένων στην περίπτωση των ΕΕΣ οι οποίες συναντώνται σε γνωστές αρχιτεκτονικές RISC που διαθέτουν πρόβλεψη επέκτασης μέσω συνεπεξεργαστών (ARM, SPARC V8, MIPS32). Η επέκταση των ΕΕΣ μέσω συνεπεξεργαστών βρίσκει χρήση σε ορισμένες περιπτώσεις όπως για την υποστήριξη FPU (Floating-Point Unit) καθώς και του συνεπεξεργαστή ελέγχου συστήματος στην περίπτωση των επεξεργαστών MIPS. Επίσης διευκολύνει την ενσωμάτωση στο σύστημα του ΕΕΣ έτοιμων IP block ανοικτού κώδικα (όπως αριθμητικοί συνεπεξεργαστές, επιτάχυνσης επεξεργασίας πολυμέσων κ.α.).

Τα προαναφερθέντα στοιχεία απαρτίζουν την αρχιτεκτονική των ΕΕΣ της μεθοδολογίας. Για τις επιμέρους αυτές παραμέτρους δίνεται εκτενής αναφορά στις αντίστοιχες υποενότητες.

2.2. Η αρχιτεκτονική του επεξεργαστή ειδικού σκοπού ByoRISC

Με βάση τις γενικές προδιαγραφές που τέθηκαν στην ενότητα 2.1, στα πλαίσια της διδακτορικής διατριβής αναπτύχθηκε η πρωτότυπη αρχιτεκτονική επεξεργαστή **ByoRISC**. Το όνομα της αρχιτεκτονικής προκύπτει ως σύντμηση της φράσης “Build Your Own RISC” (Χτίσε τον Δικό Σου RISC). Οι επεξεργαστές που είναι συμβατοί με τις προδιαγραφές ByoRISC είναι ΕΕΣ συνόλου εντολών που μπορούν να στοχευτούν από τη μεθοδολογία.

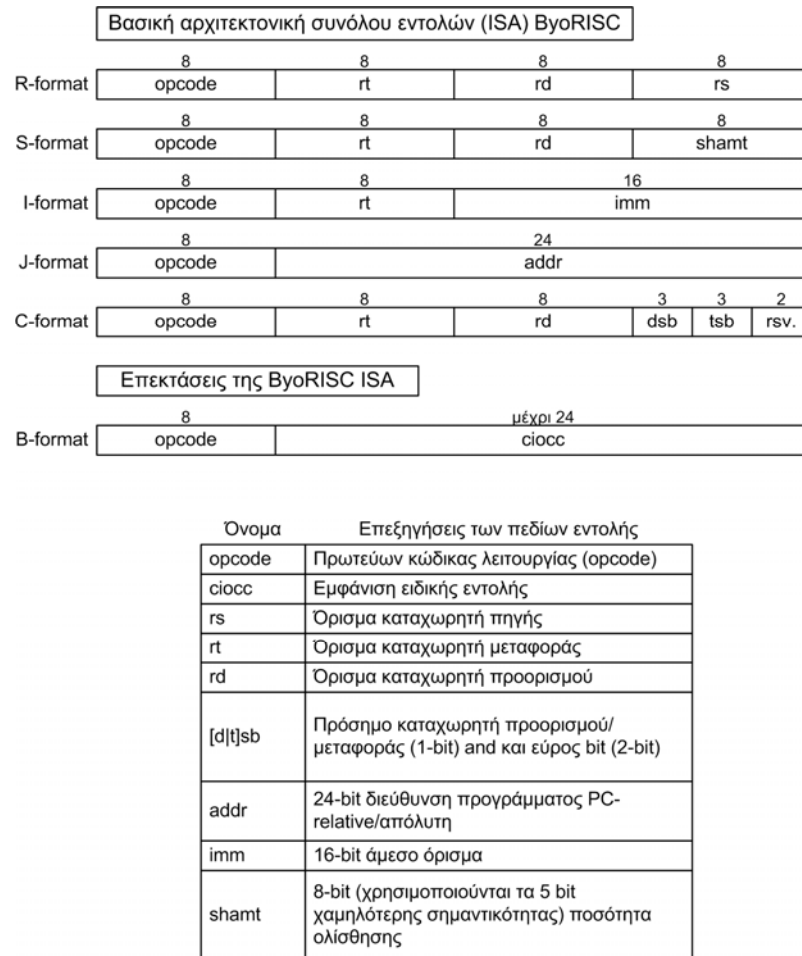
Στην πραγματικότητα, ο όρος ByoRISC δεν περιγράφει ένα μόνο είδος επεξεργαστή, αλλά μια οικογένεια επεξεργαστών με διαφορετικά χαρακτηριστικά για το κάθε μέλος. Η διαφορετικότητα των μελών έγκειται στο ότι οι διαφορετικοί ΕΕΣ στοχεύουν τις αντίστοιχες ομάδες εφαρμογών.

Η αρχιτεκτονική ByoRISC διαθέτει τα εξής γενικά χαρακτηριστικά:

- 32-bit μήκος εντολής και λέξης δεδομένων
- 22 θεμελιώδεις εντολές οι οποίες υποστηρίζονται από όλα τα μέλη των ByoRISC
- 44 εντολές συνολικά εντάσσονται στο βασικό ρεπερτόριο εντολών ενός ByoRISC
- υποστηρίζονται ως 256 διαφορετικοί λειτουργικοί κωδικοί (opcodes), με το λιγότερο 192 να είναι διαθέσιμοι για τις ειδικές εντολές. Οι κωδικοποιήσεις των ειδικών εντολών μπορούν να έχουν δευτερεύοντα λειτουργικό κώδικα (secondary opcode) καθώς και να απαρτίζονται από άλλα πεδία
- υποστηρίζονται από μία ως 2^{24} διαφορετικές ειδικές εντολές, με 2^{24} ως μία χρήσεις στο σύνολο των ενσωματωμένων εφαρμογών (αντιστρόφως ανάλογα) που στοχεύονται σε έναν ByoRISC. Γενικά ισχύει ότι $\sum_{k \in \text{instructions}} CI_k \cdot \text{instances}_k = 2^{24}$ όπου k είναι δείκτης στο ρεπερτόριο εντολών, CI μία ειδική εντολή με δείκτη k , και με instances (αντίτυπα) δηλώνεται ο αριθμός των εμφανίσεων της ειδικής εντολής CI_k στο σύνολο των ενσωματωμένων εφαρμογών που πρόκειται να εξυπηρετήσει ο ASIP.
- οι διευθυνσιοδοτήσιμοι καταχωρητές μπορούν να κυμανθούν από 16 ως 256 (κλιμάκωση κατά τις δυνάμεις του 2)
- ο αριθμός των θυρών ανάγνωσης/εγγραφής του αρχείου καταχωρητών είναι παράμετρος της αρχιτεκτονικής. Ο αριθμός αυτός δεν μπορεί να είναι μικρότερος από 2/1. Για παράδειγμα υλοποιήσεις επεξεργαστών ByoRISC μπορεί να διαθέτουν 8 θύρες ανάγνωσης και 4 ή 8 εγγραφής.

2.2.1. Η κωδικοποίηση εντολών των επεξεργαστών ByoRISC

Η κωδικοποίηση εντολών στους ByoRISC έχει σχεδιαστεί με κύριο γνώμονα να είναι κατά το δυνατόν ορθογώνια (orthogonal encoding) ώστε την απλούστερη, σε απαιτήσεις υλικού, αποκωδικοποίηση. Η ορθογωνιότητα μειώνει και την πολυπλοκότητα αντίστοιχων λειτουργιών αποκωδικοποίησης στα εργαλεία ανάπτυξης (συμβολομεταφραστής, αποσυμβολομεταφραστής). Για το σκοπό αυτό, τα πεδία των εντολών έχουν μήκος ακέραιο πολλαπλάσιο του ενός byte, αν και για ευκολία του προγραμματιστή για τις εντολές ανάθεσης τύπου (cvt) ονομάζονται και υποπεδία εντολής (εύρος bit, πρόσημο). Οι διαμορφώσεις των εντολών ByoRISC δίνονται στο Σχήμα 2.1.



Σχήμα 2.1: Οι διαμορφώσεις των εντολών ByoRISC.

Για το βασικό ρεπερτόριο εντολών του ByoRISC υποστηρίζονται πέντε διαμορφώσεις:

- R-format για εντολές με δύο ορίσματα πηγής και ένα προορισμού
- S-format για εντολές ολίσθησης με ένα όρισμα πηγής και προορισμού από καταχωρητή και ένα άμεσο όρισμα των 8-bit για τη δήλωση της ποσότητας ολίσθησης
- I-format για τη φόρτωση άμεσων ορισμάτων των 16-bit
- J-format για τις εντολές άλματος
- C-format για τις εντολές ανάθεσης τύπου.

Οι ειδικές εντολές κωδικοποιούνται στο B-format. Το πεδίο *ciocc* δεικτοδοτεί τη συγκεκριμένη εμφάνιση μιας χρήσης ειδικής εντολής σε εφαρμογή που στοχεύει ο ΕΕΣ ώστε την ανάκτηση της απαιτούμενης πληροφορίας ελέγχου (ορίσματα εισόδου/εξόδου) από ειδικό LUT (ενότητα 2.2.4).

2.2.2. Συμβάσεις για την αρχιτεκτονική καταχωρητών όσον αφορά την κλήση υπορουτινών

Όσον αφορά τις συμβάσεις κλήσης υπορουτινών για την αρχιτεκτονική ByoRISC προβλέπεται:

- Για ειδική χρήση έχουν δεσμευτεί οι καταχωρητές διεύθυνσης επιστροφής (\$ra) και

απαρίθμησης προγράμματος (\$pc). Στις περισσότερες υλοποιήσεις ByoRISC ο \$pc δεν είναι διευθυνσιοδοτούμενος αλλά ούτε και διαθέσιμος στον προγραμματιστή. Αυτό ισχύει για όλες τις υλοποιήσεις ByoRISC που υποστηρίζουν κλήσεις υπορουτινών. Σε εκείνες τις αρχιτεκτονικές που οι κλήσεις υπορουτινών δεν είναι διαθέσιμες στο σύνολο εντολών, ο \$pc είναι απαραίτητο να είναι διαθέσιμος στον προγραμματιστή, για την εξομίωση τους με το διαθέσιμο υποσύνολο εντολών. Στην περίπτωση αυτή, ως \$pc χρησιμοποιείται ο $\$(2^n)$ (π.χ. \$32 ή \$128), όπου n ο αριθμός των bit που χρησιμοποιούνται για την διευθυνσιοδότηση των υπόλοιπων καταχωρητών. Ο καταχωρητής αυτός δεν εκχωρείται από το αρχείο καταχωρητών γενικού σκοπού του επεξεργαστή.

- Ανάμεσα σε όλες τις αρχιτεκτονικές ByoRISC, προκειμένου την ικανοποίηση απαιτήσεων συμβατότητας σε επίπεδο συμβολομεταφραστή, ίδια αντιστοίχιση έχουν οι εξής καταχωρητές:
 - o \$zero: r0
 - o \$one: r1
 - o \$at: r2
 - o \$gp: r28
 - o \$sp: r29
 - o \$fp: r30
 - o \$ra: r31
- Ο αριθμός των καταχωρητών ορισμάτων συναρτήσεων (\$a<num>), καταχωρητών επιστρεφόμενων τιμών από συνάρτηση (\$v<num>), προσωρινών καταχωρητών σωζόμενων από την καλούμενη συνάρτηση (\$s<num>) ή μη (\$t<num>), και καταχωρητών λειτουργικού συστήματος (\$k<num>) καθορίζεται με βάση τις απαιτήσεις της στοχευόμενης αρχιτεκτονικής ByoRISC ανά περίπτωση. Είναι όμως απαραίτητο να υπάρχει τουλάχιστον ένας καταχωρητής επιστρεφόμενης τιμής από συνάρτηση (\$v0 ή τιμή επιστροφής \$rv).

2.2.3. Το σύνολο εντολών ByoRISC

Το ρεπερτόριο εντολών ByoRISC εισάγει σημαντικές καινοτομίες στο σχεδιασμό ενσωματωμένων επεξεργαστών, ενώ εκεί που κρίνεται ότι είναι ωφέλιμο, συνθέτει δημιουργικά στοιχεία από τις αρχιτεκτονικές DLX [Hen96], MIPS-I και MIPS32 [MIPS], MMIX [Knu99] και SABRE [SABRE].

Η αρχιτεκτονική ByoRISC έχει στοιχεία αρχιτεκτονικής φόρτωσης-αποθήκευσης. Σε αντιδιαστολή με τις τυπικές αρχιτεκτονικές RISC, οι εντολές φόρτωσης άμεσου ορίσματος είναι οι μόνες εντολές που χειρίζονται σταθερές, εκτός και αν ενεργοποιηθεί αντίστοιχη επιλογή (HAVE_SMALL_IMM του Πίνακα 2.5). Οι βασικές εντολές έχουν δυνατότητα άμεσης χρήσης μόνο των σταθερών 0 και 1 που είναι προαποθηκευμένες στους καταχωρητές \$zero (r0) και \$one (r1). Οι ειδικές εντολές έχουν πρόσβαση στους \$zero και \$one, αλλά και σε οποιεσδήποτε σταθερές καθορίζονται μέσω υπονοούμενης κωδικοποίησης (implicit encoding).

Οι εντολές χωρίζονται στις εξής κατηγορίες όσον αφορά τη λειτουργικότητά τους:

- αριθμητικές (A), πολλαπλασιασμού (Π), διαίρεσης (Δ), λογικές (Λ), σύγκρισης (Σ), φόρτωσης άμεσου ορίσματος (Φ), μεταφοράς δεδομένων (Μ), ανάθεσης τύπου (Τ), ολίσθησης (Ο), διακλάδωσης/άλματος χωρίς/υπό συνθήκη (Δ1, Δ2), και διαχείρισης υπορουτίνας (Υ).
- οι ειδικές εντολές σημειώνονται με (Ε).

Το σύνολο εντολών της κοινής αρχιτεκτονικής ByoRISC δίνεται αναλυτικά στον Πίνακα 2.1.

Πίνακας 2.1: Το σετ εντολών ByoRISC.

Μνημονικό	Τύπος εντολής	Περιγραφή	Σύνταξη (BNF)
LLI	Φ	Φόρτωση (προσημασμένης) κάτω halfword σταθεράς	lli rt, imm
LHI	Φ	Φόρτωση άνω halfword σταθεράς	lhi rt, imm
LOLI	Φ	Φόρτωση κάτω halfword σταθεράς χωρίς σβήσιμο των προτέρων περιεχομένων	loli rt, imm
LW	M	Φόρτωση καταχωρητή από διεύθυνση στη μνήμη με ποσότητα word	lw rt, (rs)
SW	M	Αποθήκευση καταχωρητή σε διεύθυνση στη μνήμη ποσότητας word	sw rt, (rs)
LB	M	Φόρτωση καταχωρητή από διεύθυνση στη μνήμη με προσημασμένη ποσότητα byte	lb rt, (rs)
LBU	M	Φόρτωση καταχωρητή από διεύθυνση στη μνήμη με απρόσημη ποσότητα byte	lbu rt, (rs)
LH	M	Φόρτωση καταχωρητή από διεύθυνση στη μνήμη με προσημασμένη ποσότητα half	lh rt, (rs)
LHU	M	Φόρτωση καταχωρητή από διεύθυνση στη μνήμη με απρόσημη ποσότητα half	lhu rt, (rs)
SB	M	Αποθήκευση καταχωρητή σε διεύθυνση στη μνήμη ποσότητας byte	sb rt, (rs)
SH	M	Αποθήκευση καταχωρητή σε διεύθυνση στη μνήμη ποσότητας half	sh rt, (rs)
ADD	A	Άθροιση	add rd, rs, rt
ADDU	A	Άθροιση (απρόσημων ποσοτήτων)	addu rd, rs, rt
SUB	A	Αφαίρεση	sub rd, rs, rt
SUBU	A	Αφαίρεση (απρόσημων ποσοτήτων)	subu rd, rs, rt
CVT	--	Μετατροπή τύπου δεδομένων και μεταφορά από καταχωρητή σε καταχωρητή	cvt<ds><db><ts><tb> rd,rt
MUL	A(Π)	Πολλαπλασιασμός	mul rd, rs, rt
MULU	A(Π)	Πολλαπλασιασμός (απρόσημων ποσοτήτων)	mulu rd, rs, rt
DIV	A(Δ)	Διαίρεση	div rd, rs, rt
DIVU	A(Δ)	Διαίρεση (απρόσημων ποσοτήτων)	divu rd, rs, rt
AND	Λ	Λογικό ΚΑΙ	and rd, rs, rt
OR	Λ	Λογικό Ή	or rd, rs, rt
XOR	Λ	Λογικό αποκλειστικό-Ή	xor rd, rs, rt
NOR	Λ	Λογικό ΟΧΙ-Ή	nor rd, rs, rt
SRAV	O	Αριθμητική ολίσθηση προς τα δεξιά κατά όρισμα καταχωρητή	srav rd, rs, rt
SRLV	O	Λογική ολίσθηση προς τα δεξιά κατά όρισμα καταχωρητή	srlv rd, rs, rt
SLLV	O	Λογική ολίσθηση προς τα αριστερά κατά όρισμα καταχωρητή	sllv rd, rs, rt
SRA	O	Αριθμητική ολίσθηση προς τα δεξιά	sra rd, rt, shamt

		κατά άμεσο όρισμα	
SRL	O	Λογική ολίσθηση προς τα δεξιά κατά άμεσο όρισμα	srl rd, rt, shamt
SLL	O	Λογική ολίσθηση προς τα αριστερά κατά άμεσο όρισμα	sll rd, rt, shamt
SEQ	Σ	Σύγκριση ισότητας	seq rd, rs, rt
SNE	Σ	Σύγκριση ανισότητας	sne rd, rs, rt
SLT	Σ	Σύγκριση μικρότερο από	slt rd, rs, rt
SLTU	Σ	Σύγκριση μικρότερο από για απρόσημες ποσότητες	sltu rd, rs, rt
SLE	Σ	Σύγκριση μικρότερο ή ίσο από	sle rd, rs, rt
SLEU	Σ	Σύγκριση μικρότερο ή ίσο από για απρόσημες ποσότητες	sleu rd, rs, rt
J	Δ1	Άλμα χωρίς συνθήκη	j addr
JR	Δ1	Έμμεσο άλμα χωρίς συνθήκη	jr rs
BNEZ	Δ2	Διακλάδωση αν η τιμή καταχωρητή είναι διάφορη του μηδενός	bnez rt, imm
BEQZ	Δ2	Διακλάδωση αν η τιμή καταχωρητή είναι ίση με το μηδέν	bfalse rt, imm
JAL	Υ	Κλήση υπορουτίνας	jal addr
SYSCAL	--	Κλήση συστήματος	syscall imm
BREAK	--	Πρόκληση εξαίρεσης από breakpoint	break imm
HALT	--	Διακοπή εκτέλεσης	halt

Υπόμνημα 2.1.1:

Συντόμευση	Σημασία = Τύπος εντολής	Εναλλακτικός συμβολισμός
A, (Π, Δ)	Αριθμητική. (Π) για πολλαπλασιασμού και (Δ) για διαίρεσης (υποκατηγορίες)	arith (multiply, division)
Φ	Φόρτωσης άμεσου ορίσματος	load imm
Τ	Ανάθεσης τύπου	convert
Λ	Λογική	logical
Σ	Σύγκρισης	set
O	Ολίσθησης	shift
M	Μεταφοράς δεδομένων από/προς τη μνήμη	mem
Δ1	Διακλάδωσης/Άλματος χωρίς συνθήκη	ubr
Δ2	Διακλάδωσης/Άλματος υπό συνθήκη	cbr
Υ	Διαχείρισης υπορουτίνας	call/ret
E	Εντολή ειδικού σκοπού	custom (ci)
--	Άλλο	other

Από τις παραπάνω, οι θεμελιώδεις εντολές, οι οποίες υποστηρίζονται από όλους τους ByoRISC είναι οι εξής 22: add, addu, sub, subu, and, or, xor, lw, sw, lli, lhi, loli, srav, srlv, sllv, slt, sltu, j, jr, bnez, beqz, halt. Οι υπόλοιπες εντολές είναι επιλέξιμες (εντός του βασικού συνόλου εντολών) και κατατάσσονται στις 9 επιμέρους ομάδες του Πίνακα 2.2.

Πίνακας 2.2: Επεκτάσεις εντός του βασικού συνόλου εντολών του ByoRISC.

Συντόμευση	Περιγραφή	Εντολές
OPTIONAL_LS	Εντολές φόρτωσης/αποθήκευσης για βασικούς τύπους δεδομένων πλην του word	lb, lbu, lh, lhu, sb, sh
OPTIONAL_SHIFT	Εντολές ολίσθησης κατά άμεσο όρισμα	sra, srl, sra
OPTIONAL_CTI	Εντολές μεταφοράς ελέγχου με κλήση υπορουτίνας	jal

OPTIONAL_CVT	Ανάθεση τύπου	cvt
OPTIONAL_MUL	Εντολές πολλαπλασιασμού	mul, mulu
OPTIONAL_DIV	Εντολές διαίρεσης	div, divu
OPTIONAL_SET	Εντολές σύγκρισης	seq, sne, sle, sleu
OPTIONAL_LOGIC	Λογικές εντολές	nor
OPTIONAL_MISC	Διάφορες εντολές	syscal, break

Στο σημείο αυτό παρατίθεται και ο συνοπτικός χάρτης των κωδικών λειτουργίας (opcode map) του Πίνακα 2.3. Σε λευκά πλαίσια δίνονται οι θεμελιώδεις εντολές, σε φόντο ανοικτού γκρι οι υπόλοιπες βασικές εντολές και οι προκαθορισμένες εντολές συνεπεξεργαστή (κωδικοί: 0x30-0x35), σε διαγραμμισμένα οι δεσμευμένοι κωδικοί για μελλοντική χρήση και σε φόντο σκούρου γκρι η περιοχή των κωδικών για τις ειδικές εντολές.

Πίνακας 2.3: Χάρτης λειτουργικών κωδικών της βασικής αρχιτεκτονικής ByoRISC.

[illegible]

2.2.4. Υποστήριξη ειδικών εντολών σε επεξεργαστές ByoRISC

Για την αποκωδικοποίηση των ειδικών εντολών στους επεξεργαστές ByoRISC, οι οποίοι ακολουθούν τη διαμόρφωση B-format, εισήχθη η έννοια του Δευτερεύοντος Αποκωδικοποιητή Εντολών (SID). Η μονάδα SID διευθυνσιοδοτείται από το πεδίο *ciocc* της διαμόρφωσης B-format, το οποίο αποτελεί στην ουσία μία διεύθυνση για την ανάγνωση των διευθύνσεων για τα έντελα/ορίσματα εισόδου και εξόδου. Μία καταχώρηση στον πίνακα αναζήτησης SID (SID LUT) έχει τη μορφή του Σχήματος 2.2, όπου:

- NR είναι ο αριθμός των καταχωρητών που διαθέτει το ενιαίο αρχείο καταχωρητών ακεραίας αριθμητικής
- n_i, n_o ο αριθμός των ορισμάτων εισόδου και εξόδου αντίστοιχα
- $dst_0 \dots dst_{n_o-1}$ είναι οι διευθύνσεις των καταχωρητών που αποτελούν ορίσματα εξόδου
- $src_0 \dots src_{n_i-1}$ είναι οι διευθύνσεις των καταχωρητών που αποτελούν ορίσματα εισόδου
- we_v είναι το διάνυσμα επίτρεψης εγγραφής για τα ορίσματα εξόδου
- re_v είναι το διάνυσμα επίτρεψης ανάγνωσης για τα ορίσματα εισόδου

Καταχώρηση
στο
SID LUT

$\log_2(NR)$		$\log_2(NR)$	n_o	$\log_2(NR)$		$\log_2(NR)$	n_i
dst₀	...	dst_{n_o-1}	we_v	src₀	...	src_{n_i-1}	re_v

Σχήμα 2.2: Η διαμόρφωση των καταχωρήσεων στον πίνακα αναζήτησης SID.

Στη γενική περίπτωση, n_i θυρών εισόδου και n_o εξόδου στο αρχείο καταχωρητών, κάθε καταχώρηση στο SIDLUT έχει εύρος:

$$(n_i + n_o) \cdot (\log_2(NR) + 1)$$

το οποίο γίνεται: $2n \cdot (\log_2(NR) + 1)$ για $n_i = n_o = n$.

Για $n=8$ και $NR=256$, η οποία είναι μια τυπική περίπτωση αρχιτεκτονικής ByoRISC που θα θεωρήσουμε στο κεφάλαιο 9, κάθε καταχώρηση έχει εύρος 144 bit. Σε FPGA τεχνολογίας Spartan 3 είναι εφικτή η δέσμευση 2 μόνο block RAM για τη χρήση τους ως πίνακα αναζήτησης με 256 καταχωρήσεις των 144 bit (2 παράλληλα προσπελάσιμες block RAM σε λειτουργία 256×72, με θύρα μόνο ανάγνωσης).

Κεντρικό ρόλο στο σχεδιασμό της διεπαφής των ειδικών εντολών με τη μικροαρχιτεκτονική του ByoRISC έχει το ενιαίο αρχείο ακεραίων καταχωρητών, η οποία κερδίζει έδαφος στη διεθνή βιβλιογραφία [Jon06],[Sag07]. Το αρχείο καταχωρητών θα πρέπει είτε να προσφέρει διεπαφή για την ανάγνωση και εγγραφή του καθορισμένου μέγιστου αριθμού ορισμάτων (π.χ. 8 εισόδων και 8 εξόδων) είτε να προσφέρει τη δυνατότητα εξομοίωσης της συμπεριφοράς αυτής.

Για την άμεση υποστήριξη των πολλαπλών ορισμάτων στο υλικό, το αρχείο καταχωρητών είναι διαθέσιμο στις ELM. Για την οργάνωση του αρχείου καταχωρητών υφίστανται οι εξής δυνατότητες:

- *Μονολιθικό αρχείο καταχωρητών με τους καταχωρητές να υλοποιούνται με χρήση ενός μπλοκ μνήμης.* Για την προσπέλαση των m ορισμάτων εισόδου και n εξόδου, το αρχείο καταχωρητών διαθέτει ξεχωριστά δικτυώματα πολυπλεκτών. Ένα τέτοιο

δικτύωμα είναι υλοποιήσιμο με πολυπλέκτες n -σε-1 των 32-bit (π.χ. ως crossbar switch) είτε ως δίκτυο διασύνδεσης (π.χ. Benes [Bene64],[LeeR01]) το οποίο έχει το πλεονέκτημα της χρήσης πολυπλεκτών 2-σε-1 αλλά απαιτεί πολύπλοκο έλεγχο. Μια τέτοια λύση έχει αποδειχτεί εφικτή για τεχνολογίες ASIC [LeeR01], όμως δεν είναι πρακτικά υλοποιήσιμη στα FPGA fine-grain δομής που κυριαρχούν σήμερα καθώς δεν μπορούν να ικανοποιηθούν οι απαιτήσεις σε πολυπλέκτες.

- *Κατανεμημένο αρχείο καταχωρητών με τους καταχωρητές να υλοποιούνται με χρήση κατανεμημένων block μνήμης για μονά αντίγραφα.* Γενικά, απαιτούνται n μπλοκ μνήμης, κάθε ένα από το οποίο διαθέτει 1 θύρα ανάγνωσης και 1 εγγραφής. Τα περιεχόμενα κάθε καταχωρητή χρειάζεται να διατηρούνται σε μία μοναδική θέση, σε κάποιο από τα μπλοκ μνήμης. Τα πλεονεκτήματα αυτής της τοπολογίας είναι ότι δεν απαιτείται καθόλου πολύπλεξη για την προσπέλαση των ορισμάτων από τις ΕΛΜ, ο μέγιστος αριθμός χρήσιμων καταχωρητών είναι $n \times NR$, και ότι το αντίστοιχο υλικό είναι σαφέστατα πιο γρήγορο (χαμηλότερη καθυστέρηση διάδοσης). Τα μειονεκτήματα είναι ότι απαιτείται η δέσμευση μεγάλου αριθμού block RAM, και κυρίως το ότι δεν εξασφαλίζεται εκ των προτέρων η δυνατότητα ταυτόχρονης άντλησης και ανανέωσης των απαιτούμενων ορισμάτων από μία ειδική εντολή. Για παράδειγμα, σε περίπτωση που δύο ορίσματα εισόδου είναι αποθηκευμένα στην ίδια συστοιχία μνήμης, απαιτούνται δύο κύκλοι για την ανάγνωση τους καθώς επιβάλλεται ακινητοποίηση (stall) για έναν κύκλο. Το πρόβλημα μπορεί να αντιμετωπιστεί με χρήση κατάλληλου αλγορίθμου κατανομής καταχωρητών, ο οποίος να λαμβάνει υπόψη τις περιπτώσεις stall και να φροντίζει είτε για την αποθήκευση των μεταβλητών που τις προκαλούν σε κατανεμημένους καταχωρητές είτε για τη δημιουργία πολλαπλών αντιγράφων σε διαφορετικές συστοιχίες.
- *Τρίτη λύση είναι η χρήση κατανεμημένου αρχείου καταχωρητών με τους καταχωρητές να υλοποιούνται με χρήση κατανεμημένων block μνήμης για πολλαπλά αντίγραφα [Sag07].* Γενικά, απαιτούνται $m \times n$ block μνήμης, κάθε ένα από τα οποία διαθέτει 1 θύρα ανάγνωσης και 1 εγγραφής. Τα περιεχόμενα κάθε καταχωρητή χρειάζεται να διατηρούνται σε πολλαπλές θέσεις καθώς κάθε συστοιχία μνήμης διατηρεί ένα αντίγραφο του αρχείου καταχωρητών. Τα κύρια πλεονεκτήματα αυτής της τοπολογίας είναι ότι η προσπέλαση των ορισμάτων χωρίς απώλεια κύκλου/κύκλων είναι εξασφαλισμένη. Τα μειονεκτήματα είναι ότι απαιτείται η δέσμευση ιδιαίτερα μεγάλου αριθμού block RAM, σε σημείο που να είναι ανεφάρμοστη σε FPGA μικρών και μεσαίων προδιαγραφών και να μπορεί να εξεταστεί ως ενδεχόμενη λύση μόνο στα μεγαλύτερα από αυτά. Καθώς κάθε συστοιχία μνήμης χρησιμοποιείται για την αποθήκευση NR/m από το συνολικό αριθμό των καταχωρητών, γίνεται υποεκμετάλλευση των πόρων των block RAM. Για την καλύτερη εκμετάλλευσή τους θα ήταν χρήσιμη η υιοθέτηση τεχνικής παραθύρων καταχωρητών, η μεταγωγή μεταξύ των οποίων είναι εφικτή με μηχανισμούς save και restore όπως στους επεξεργαστές SPARC V8 [SPARC].

Σε κάθε μία από τις περιπτώσεις αυτές, το SID LUT παρέχει τις διευθύνσεις των ορισμάτων για τις ειδικές εντολές, στο αρχείο καταχωρητών.

2.2.5. Υποστήριξη επικοινωνίας των ΕΛΜ με τη μνήμη δεδομένων

Στους επεξεργαστές ByoRISC, υπάρχει η δυνατότητα ώστε οι ΕΛΜ να επικοινωνούν άμεσα με τη μνήμη δεδομένων. Η δυνατότητα αυτή επιτρέπει τη συμπερίληψη λειτουργιών φόρτωσης (LOD) και αποθήκευσης (STR) σε ειδικές εντολές, κάτι που δεν συμβαίνει στις αρχιτεκτονικές ΕΕΣ της βιβλιογραφίας. Η διασύνδεση μεταξύ ΕΛΜ και μνήμης δεδομένων υλοποιείται στο στάδιο διοχέτευσης MEM του επεξεργαστή, το οποίο μπορεί να χρησιμοποιηθεί σε πολλαπλούς διαδοχικούς κύκλους από την ίδια ειδική εντολή. Έτσι, μπορούμε να διακρίνουμε τρεις κατηγορίες καταστάσεων στις οποίες μπορεί να βρίσκεται μια

ειδική εντολή ανάλογα με το στάδιο διοχέτευσης στο οποίο βρίσκεται:

- Μόνο για το στάδιο EX:
 - ο Κατάσταση COMPUTATION(n) όπου n ο αύξων αριθμός της τρέχουσας κατάστασης, στην οποία εκτελούνται αριθμητικές, λογικές, ολίσθησης και άλλες λειτουργίες οι οποίες δεν έχουν απαίτηση προσπέλασης στη μνήμη
- Για το στάδιο MEM:
 - ο Κατάσταση COMPUTATION(n) όπως παραπάνω
 - ο Κατάσταση LOAD(n) όπου n ο αύξων αριθμός της τρέχουσας φόρτωσης ενός καταχωρητή από τη μνήμη δεδομένων
 - ο Κατάσταση STORE(n) όπου n ο αύξων αριθμός της τρέχουσας αποθήκευσης της τιμής ενός καταχωρητή στη μνήμη δεδομένων
 - ο Κατάσταση SPECIAL_CS(n) όπου n ο αύξων αριθμός μιας κατάστασης για την ειδική περίπτωση κατά την οποία εκτελούνται πρώτα μία ή περισσότερες λειτουργίες τύπου COMPUTATION και η τελευταία, τοπολογικά, λειτουργία είναι μία αποθήκευση στη μνήμη. Ο τύπος αυτός κατάστασης λαμβάνει υπόψη το γεγονός ότι σε σύγχρονες τεχνολογίες FPGA, οι πόροι αποθήκευσης τύπου block RAM είναι σύγχρονης ανάγνωσης και εγγραφής.

Προκειμένου την υλοποίηση των καταστάσεων τύπου LOAD, STORE, και SPECIAL_CS χρειάζεται κατάλληλη διεπαφή σε επίπεδο υλικού ανάμεσα στις ELM και στη μνήμη δεδομένων. Στον Πίνακα 2.4 συνοψίζονται τα σήματα θυρών της διεπαφής. Σημειώνεται ότι δεν δίνεται αναλυτικά η πολύπλεξη των αντίστοιχων σημάτων, η οποία είναι απαραίτητη όταν στον επεξεργαστή εξυπηρετούνται πάνω από μία ELM.

Πίνακας 2.4: Τα σήματα θυρών για τη διεπαφή ELM – μνήμης δεδομένων (ΜΔ).

Σήμα	Εύρος	Κατευθυντικότητα	Απαίτηση	Περιγραφή
opd_lod	Μήκος λέξης δεδομένων (32)	ELM $\leftarrow$ ΜΔ	Λειτουργίες φόρτωσης	Δεδομένα φόρτωσης από μνήμη
opd_str	Μήκος λέξης δεδομένων (32)	ELM $\rightarrow$ ΜΔ	Λειτουργίες αποθήκευσης	Δεδομένα αποθήκευσης στη μνήμη
addr_ls	Μήκος λέξης διεύθυνσης (12-32)	ELM $\rightarrow$ ΜΔ	Όλες	Διεύθυνση μνήμης δεδομένων
mode_ls	Τυπικά: 4	ELM $\rightarrow$ ΜΔ	Όλες	Επίτρεψη μικρότερης διευθυνσιοδοτούμενης οντότητας δεδομένων

2.2.6. Υποστήριξη συνεπεξεργαστών σε τοπική διασύνδεση με επεξεργαστές ByoRISC

Η υποστήριξη συνεπεξεργαστών σε τοπική διασύνδεση με ενσωματωμένους επεξεργαστές προσφέρει σημαντικά πλεονεκτήματα στο σχεδιασμό ενσωματωμένων SoC καθώς

- δίνει τη δυνατότητα προσθήκης επεκτάσεων μεγάλης κλίμακας σε έναν επεξεργαστή, οι οποίες όμως εξακολουθούν να είναι ορατές, μακροσκοπικά, από το προγραμματιστή
- επιτρέπει τη χρησιμοποίηση προϋπάρχοντων βελτιστοποιημένων μπλοκ λογικής που υλοποιούν γνωστά πρότυπα (π.χ. αριθμητική κινητής υποδιαστολής κατά IEEE 754)
- επεκτείνει το χρόνο ζωής στην αγορά, ενός ενσωματωμένου επεξεργαστή με τη βελτίωση των επιδόσεών του σε εφαρμογές οι οποίες δεν είχαν προβλεφθεί κατά

τη διαδικασία σχεδιασμού του

Οι περισσότερες αρχιτεκτονικές ενσωματωμένων επεξεργαστών που βρίσκουν θέση και σε συστήματα ειδικού σκοπού υποστηρίζουν έναν ή περισσότερους συνεπεξεργαστές σύμφωνα με κάποιο πρότυπο τοπικής διεπαφής. Για παράδειγμα, η αρχιτεκτονική MIPS32 υποστηρίζει έως 4 συνεπεξεργαστές, με τις θέσεις 0, 1, και 3 να είναι όμως δεσμευμένες για το συνεπεξεργαστή ελέγχου συστήματος, αριθμητικής κινητής υποδιαστολής και επεκτάσεων για αριθμητική κινητής υποδιαστολής σε 64-bit αρχιτεκτονικές (MIPS64), αντίστοιχα. Επίσης, οι αρχιτεκτονικές ARM, [ARM], LEON [Gaisler] και COFFEE [COFFEE], μεταξύ άλλων παρέχουν υποστήριξη τοπικών συνεπεξεργαστών με διαφορετικό, σε κάθε περίπτωση, πρότυπο διεπαφής. Συνήθως, ο ενσωματωμένος επεξεργαστής και ο συνεπεξεργαστής δύνανται να εκτελούν λειτουργίες σε παραλληλία, και δεν υφίσταται ανάγκη παύσης της λειτουργίας του συνεπεξεργαστή εφόσον δεν υπάρχουν εξαρτήσεις δεδομένων και δέσμευσης πόρων ανάμεσά τους.

Στους επεξεργαστές ByoRISC, υποστηρίζονται αρχικά 4 συνεπεξεργαστές αν και δεν υφίσταται πρακτικός περιορισμός (π.χ. στη διαμόρφωση εντολής) για υποστήριξη μέχρι και 256 συνεπεξεργαστών. Αυτό επιτυγχάνεται με την χρήση ενός επιπλέον πεδίου στη διαμόρφωση εντολής για τη δεικτοδότηση του συνεπεξεργαστή, στον οποίο απευθύνεται η εντολή η οποία εκδίδεται από τον πυρήνα ByoRISC.

Μια δεύτερη και σημαντικότερη καινοτομία που εισάγει η αρχιτεκτονική ByoRISC στο θέμα της διασύνδεσης συνεπεξεργαστών είναι η χρήση εξειδικευμένου προτύπου διασύνδεσης τύπου σημείο-σε-σημείο (point-to-point) και σημείο-σε-πολλαπλά-σημεία (point-to-multipoint), κάτι που επιτρέπει την εύκολη κλιμάκωση της διασύνδεσης από τον έναν στους 256 συνεπεξεργαστές. Συγκεκριμένα, η αρχιτεκτονική ByoRISC δανείζεται στοιχεία από το πρότυπο SoC διασύνδεσης SimpCon [SimpCon] το οποίο εκτός από την παραπάνω δυνατότητα έχει σημαντικά πλεονεκτήματα έναντι των άλλων προτύπων διασύνδεσης διαύλου.

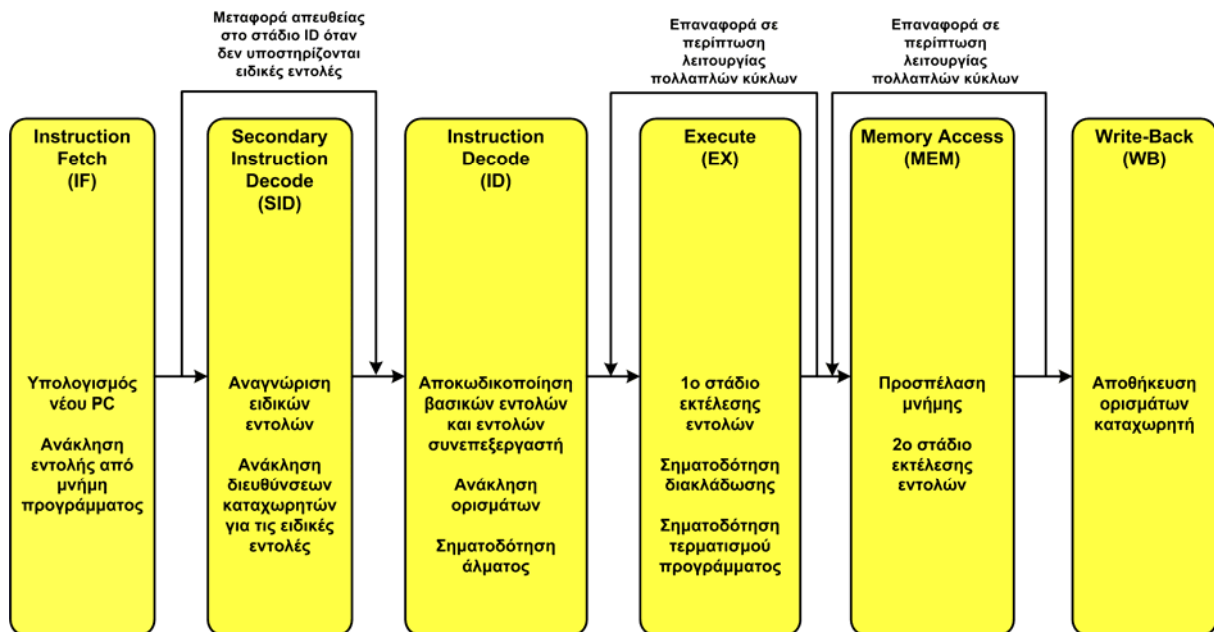
- Δεν χρειάζεται ο master (αφέντης) να διατηρεί τα σήματα διευθυνσιοδότησης και ελέγχου μέχρις ότου ο slave (σκλάβος) να παράγει αποτέλεσμα ή σήμα γνωστοποίησης (acknowledgement). Αυτό το χαρακτηριστικό επιτρέπει στον master να μετακινηθεί (π.χ. για τον έλεγχο κάποιου άλλου συνεπεξεργαστή) στον αμέσως επόμενο κύκλο ρολογιού. Έτσι, γίνεται εφικτή η εξυπηρέτηση αιτημάτων με διοχέτευση.
- Υπάρχει δυνατότητα γνωστοποίησης εκ μέρους του slave του αριθμού των εναπομεινάντων κύκλων μηχανής για την τέλεση μιας διεργασίας.
- Χρήση σήματος ετοιμότητας (rdy_cnt στο SimpCon) για την οργάνωση διοχέτευσης πολλαπλών σταδίων (εκ μέρους του master), το οποίο καθορίζει την καθυστέρηση ανάμεσα στη διεύθυνση και τα δεδομένα σε μια ανάγνωση που σηματοδεύεται από τον slave.
- Επιτρέπει τη διατήρηση έγκυρων δεδομένων (αποτελεσμάτων) σε slaves πέραν του πρώτου κύκλου (που είναι ο κύκλος γνωστοποίησής τους). Αυτό παρέχει τη δυνατότητα στον master να είναι επιλεκτικός για το πότε θα γίνει η ανάγνωση εκ μέρους του, των δεδομένων που έχουν παραχθεί στον slave.

Το κύριο μειονέκτημα του προτύπου SimpCon (όπως και του AMBA AHB [AMBA]) είναι η καθυστερημένη γνωστοποίηση των αποτελεσμάτων κατά ένα κύκλο σε σχέση με τα Wishbone, Avalon και OPB όταν δεν γίνεται χρήση διοχέτευσης του διαύλου.

2.3. Η μικροαρχιτεκτονική των επεξεργαστών ByoRISC

Η αρχιτεκτονική ByoRISC, η οποία περιγράφεται διεξοδικώς στην ενότητα 2.2, υλοποιήθηκε

πλήρως σε επίπεδο μικροαρχιτεκτονικής ως ένας RISC με 5/6 στάδια διοχέτευσης, ο οποίος μπορεί να διευθυνσιοδοτήσει ένα πεδίο διευθύνσεων από 11 (το ελάχιστο) ως 32 bit. Η διάταξη των σταδίων διοχέτευσης του ByoRISC παρουσιάζεται στο Σχήμα 2.3.



Σχήμα 2.3: Η διάταξη των σταδίων διοχέτευσης του ByoRISC.

Η διάταξη των σταδίων διοχέτευσης του ByoRISC στηρίζεται στον κλασικό σχεδιασμό των 5 σταδίων διοχέτευσης των MIPS συμβατών (όπως ο MIPS R3000)³. Η κύρια διαφορά σε μακροσκοπικό επίπεδο είναι η προσθήκη ενός επιπλέον σταδίου διοχέτευσης, του σταδίου SID (Δευτερεύουσα Αποκωδικοποίηση Εντολής) αμέσως μετά το στάδιο Ανάκλησης Εντολής και πριν το στάδιο Αποκωδικοποίησης Εντολής. Στο στάδιο SID πραγματοποιείται η αποκωδικοποίηση των ορισμάτων πηγής/προορισμού, τα οποία χρησιμοποιούνται από τις ειδικές εντολές. Το στάδιο SID προστίθεται μόνο στην περίπτωση που είναι επιθυμητή η υποστήριξη ειδικών εντολών.

Αναλυτικά τα στάδια διοχέτευσης του Σχήματος 2.3 έχουν ως εξής:

- ο IF (Instruction Fetch): Ανάκληση Εντολής
- ο SID (Secondary Instruction Decode): Δευτερεύουσα Αποκωδικοποίηση Εντολής
- ο ID (Instruction Decode): (Κύρια) Αποκωδικοποίηση Εντολής και Ανάκληση Ορισμάτων
- ο EX (Execute): Εκτέλεση Εντολής
- ο MEM (Memory Access): Προσπέλαση Μνήμης
- ο WB (Write-Back): Αποθήκευση Ορισμάτων Καταχωρητή

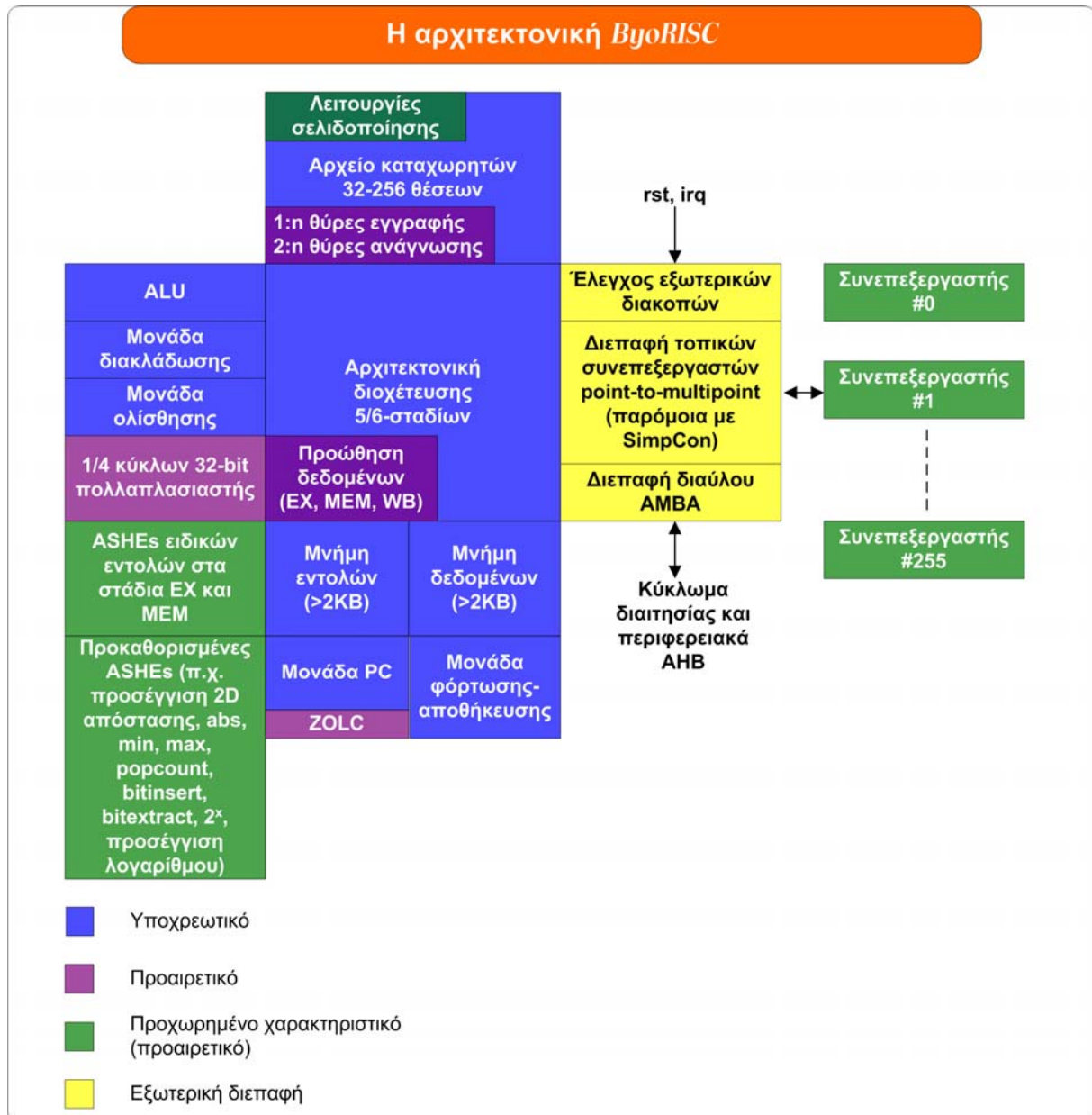
Η δεύτερη σημαντική διαφορά από τις τυπικές RISC μικροαρχιτεκτονικές είναι ότι τα στάδια EX και MEM επιτρέπεται να επιτελούν λειτουργίες πολλαπλών κύκλων. Όταν εμφανίζεται αυτή η απαίτηση σε κάποιο από τα δύο στάδια διοχέτευσης, τα προηγούμενα στάδια διοχέτευσης ακινητοποιούνται (stall). Επίσης τα χρησιμοποιούμενα στοιχεία αποθήκευσης (μνήμη προγράμματος, μνήμη δεδομένων, αρχείο καταχωρητών, πίνακας αναζήτησης

³ Στους νεότερους MIPS32 4K χρησιμοποιείται διοχέτευση 5 σταδίων με τη διαφορά ότι τα στάδια ανάκλησης και αποκωδικοποίησης εντολής έχουν ενωθεί σε ένα και αμέσως μετά το στάδιο προσπέλασης μνήμης ακολουθεί στάδιο για την ευθυγράμμιση και συσσώρευση ενδιάμεσων αποτελεσμάτων.

ορισμάτων ειδικών εντολών, και όλοι οι καταχωρητές) επιτρέπουν μόνο τη σύγχρονη ανάγνωση. Αυτό σημαίνει ότι η τιμή που βρίσκεται στην είσοδο δεδομένων (για καταχωρητές) ή που διευθυνσιοδοτείται (για μνήμες) γίνεται διαθέσιμη στον επόμενο και όχι στον ίδιο κύκλο ρολογιού. Το χαρακτηριστικό αυτό επιβάλλεται ώστε να γίνεται χρήση των πόρων αποθήκευσης τύπου block και σύγχρονων καταχωρητών (flip-flop) και να αποκλείεται η χρήση μανδαλωτών (latches) που δεν ενδείκνυται στο σύγχρονο σχεδιασμό. Αυτό επιλέχθηκε για την καλύτερη εκμετάλλευση των πόρων του FPGA (οι διαφορές σε επιφάνεια είναι δραματικές ανάμεσα στις δύο περιπτώσεις), για την επίτευξη καλύτερων χρονικών χαρακτηριστικών και κυρίως μεγαλύτερης μέγιστης συχνότητας ρολογιού, αλλά και για την καλύτερη αξιοπιστία της μεταβίβασης δεδομένων εντός του επεξεργαστή. Σαφώς, η δέσμευση για χρήση μόνο στοιχείων σύγχρονης ανάγνωσης περιπλέκει το σχεδιασμό της μικροαρχιτεκτονικής του επεξεργαστή όσον αφορά τις διαδικασίες της ακινητοποίησης, ακύρωσης, και προώθησης δεδομένων.

2.3.1. Οργάνωση της αρχιτεκτονικής διοχέτευσης για τη μικροαρχιτεκτονική υλοποίηση ενός ByoRISC

Το διάγραμμα βαθμίδων της αρχιτεκτονικής υλοποίησης ενός ByoRISC σύμφωνα με ότι αναφέρθηκε παραπάνω δίνεται στο Σχήμα 2.4. Ο ByoRISC διαθέτει αρχιτεκτονική σταδίων διοχέτευσης που επιδέχεται ρυθμίσεων: η βασική έκδοχή των 5 σταδίων χρησιμοποιείται όταν δεν απαιτείται η υποστήριξη ειδικών εντολών και τοπικών συνεπεξεργαστών, η δε έκδοχή των 6 σταδίων (προσθήκη του σταδίου SID) καλύπτει όλες τις περιπτώσεις στόχευσης του ByoRISC. Για τη βασική έκδοχή υπάρχει η δυνατότητα ενεργοποίησης ή μη της υποστήριξης για εντολές πολλαπλών κύκλων. Η προσθήκη του σταδίου SID υπαγορεύθηκε από το γεγονός ότι, σε άλλη περίπτωση, το στάδιο ID θα επιβαρυνόταν σημαντικά λόγω του ότι στις κύρια στοχευόμενες τεχνολογίες που είναι τα FPGA, τα στοιχεία μνήμης τύπου μπλοκ (block RAM) είναι μόνο σύγχρονης ανάγνωσης. Έτσι ήταν αναγκαία είτε η τροποποίηση του σταδίου ID ώστε οι ειδικές εντολές να το χρησιμοποιούν σε δύο διαδοχικούς κύκλους, κάτι που θα οδηγούσε σε απώλεια κύκλων (λόγω ακινητοποίησης) σε κάθε περίπτωση, είτε η προσθήκη ενός σταδίου διοχέτευσης για τη μετάδοση των ορισμάτων των ειδικών εντολών, στη συνέχεια, στο στάδιο ID. Στην περίπτωση αυτή, απώλειες κύκλων συμβαίνουν μόνο όταν δεν γίνεται προώθηση δεδομένων ανάμεσα σε ειδικές και βασικές εντολές και μόνο το κόστος σε ακυρωμένες εντολές (όταν συμβαίνει αλλαγή ροής ελέγχου λόγω της εκτέλεσης εντολής διακλάδωσης) είναι αυξημένο κατά ένα κύκλο.



Σχήμα 2.4: Διάγραμμα βαθμίδων της μικροαρχιτεκτονικής των επεξεργαστών ByoRISC.

Στο στάδιο IF ανακαλείται εντολή από τη μνήμη προγράμματος, η οποία δεικτοδοτείται από την τρέχουσα διεύθυνση του απαριθμητή προγράμματος. Το στάδιο IF μεταδίδει προς το επόμενο στάδιο, την ανακληθείσα εντολή (*instr_ifsid*) και την τιμή του PC (*pc_sid*). Ο υπολογισμός της επόμενης διεύθυνσης του PC είναι ευθύνη της μονάδας υπολογισμού PC (*pc_unit*). Σε επεξεργαστές ByoRISC που διαθέτουν αρχιτεκτονική ελέγχου ZOLC για την εξουδετέρωση των επιβαρύνσεων από τις λειτουργίες για την υλοποίηση βρόχων, η *pc_unit* οδηγείται από τη μονάδα ZOLC. Η ενσωμάτωση ελέγχου ZOLC σε επεξεργαστές ByoRISC εξετάσθηκε σε επίπεδο προσομοίωσης εκτίμησης κύκλων.

Στην περίπτωση που το επόμενο στάδιο δεν είναι το ID (δηλ. υποστηρίζονται ΕΛΜ ειδικών εντολών), λαμβάνουν χώρα λειτουργίες δευτερεύουσας αποκωδικοποίησης εντολής (στάδιο SID). Η αναγνώριση της κατηγορίας της τρέχουσας εντολής γίνεται βάση του κωδικού λειτουργίας της: οι θέσεις 0x40-0xFF έχουν δεσμευθεί για τις ειδικές εντολές. Το στάδιο SID διαθέτει τους πίνακες αναζήτησης για τα ορίσματα των ειδικών εντολών (ενότητα 2.2.4). Σε περίπτωση που η εντολή βρίσκεται στο στάδιο SID, χρησιμοποιείται το πεδίο *ciocc* των εντολών αυτών για τη διευσυνιστοδότηση των δύο πινάκων αναζήτησης (για τα ορίσματα

πηγής και προορισμού αντίστοιχα) και διαβάζονται οι αντίστοιχες διευθύνσεις καταχωρητών. Αυτές μαζί με άλλη πληροφορία (τιμές PC, instr) μεταβιβάζονται στο στάδιο ID. Οι βασικές εντολές δεν εξετάζονται στο στάδιο SID.

Στο στάδιο ID πραγματοποιείται η κύρια αποκωδικοποίηση, η οποία αφορά τις βασικές εντολές και περιλαμβάνει την αποκωδικοποίηση όλων των πεδίων και την ανάκληση καταχωρητών για όλες τις εντολές. Προκειμένου την ανάκληση καταχωρητών για ειδικές εντολές, το αρχείο καταχωρητών πρέπει να υποστηρίζει τον επιθυμητό μέγιστο αριθμό ορισμάτων πηγής (εισόδου) και προορισμού (εξόδου). Οι τοπολογίες για την οργάνωση του αρχείου καταχωρητών αναλύονται στην ενότητα 2.2.4. Οι 6 εντολές συνεπεξεργαστή (κώδικες λειτουργίας: 0x30-0x35) για τη διεπαφή της οργάνωσης διοχέτευσης του ByoRISC με τους τοπικούς συνεπεξεργαστές, όταν αυτοί υπάρχουν στο σύστημα, αποκωδικοποιούνται σε αυτό το στάδιο.

Στη συνέχεια, στο στάδιο EX γίνεται η εκτέλεση των βασικών εντολών, οι δε εντολές τύπου φόρτωσης/αποθήκευσης χρησιμοποιούν και το στάδιο MEM. Ως ορίσματα πηγής (εισόδου) για την εκτέλεση των εντολών του ByoRISC χρησιμοποιούνται οι προωθημένες τιμές, σε περίπτωση που έχει ενεργοποιηθεί κατά τη λογική σύνθεση της συνθέσιμης περιγραφής του επεξεργαστή, μονάδα προώθησης δεδομένων. Σε αντίθετη περίπτωση, ο προγραμματιστής (ή ο μεταγλωττιστής) θα πρέπει να φροντίσουν για την προσθήκη των απαιτούμενων ψευδοεντολών μη-λειτουργίας (NOP). Το στάδιο EX διαθέτει το λιγότερο:

- Αριθμητική/Λογική Μονάδα (ALU) για την εκτέλεση των εντολών: add, addu, sub, subu, slt, sltu, and, or, xor. Επίσης εξυπηρετεί τις προαιρετικές βασικές εντολές: seq, sne, sle, sleu, nor.
- Ολισθητή για την εκτέλεση των εντολών: sllv, srlv, srav. Επίσης εξυπηρετεί τις προαιρετικές βασικές εντολές: sll, srl, sra.
- Μονάδα διακλάδωσης (branch unit) για τις εντολές beqz και bnez.

Για τις βασικές εντολές φόρτωσης/αποθήκευσης (προαιρετικές και μη) υποστηρίζεται μόνο ο τρόπος άμεσης διευθυνσιοδότησης από καταχωρητή (register direct addressing). Στην περίπτωση αυτή η διεύθυνση που πρόκειται να προσπελαστεί στη μνήμη δεδομένων είναι αποθηκευμένη σε καταχωρητή.

Η ύπαρξη πολλαπλασιαστή και διαιρέτη είναι προαιρετική καθώς οι αντίστοιχες εντολές (mul, mulu, div, divu) μπορούν να υλοποιηθούν από αντίστοιχες ρουτίνες εξομίωσης, επιτυγχάνοντας σημαντικά χαμηλότερες επιδόσεις σε σχέση με την υλοποίησή τους σε υλικό. Για τον ByoRISC αναπτύχθηκαν δύο τοπολογίες του πολλαπλασιαστή: απλού κύκλου και πολλαπλών (4) κύκλων, οι οποίες δεσμεύουν 3 ενσωματωμένους πολλαπλασιαστές των 18x18-bit σε Xilinx FPGA Spartan-3. Η χρήση της δεύτερης τοπολογίας απαιτεί την ενεργοποίηση της υποστήριξης της λειτουργίας πολλαπλών κύκλων του σταδίου EX.

Γενικά, το στάδιο EX (όπως υπάρχει η δυνατότητα και για το MEM) μπορεί να ρυθμιστεί για λειτουργία σε πολλαπλούς κύκλους. Για την επίτευξη ορθής λειτουργίας του επεξεργαστή σε αυτή την περίπτωση, γίνεται ακινητοποίηση των προηγμένων σταδίων του επεξεργαστή ώστε την διατήρηση της τρέχουσας κατάστασης στα στοιχεία αποθήκευσής τους. Αυτό επιτυγχάνεται με φρούρηση της εγγραφής στα στοιχεία αποθήκευσης και παραγωγή κατάλληλου σήματος χρονισμού ακινητοποίησης (stall clock). Η εφαρμογή της ακινητοποίησης γίνεται από τον πρώτο κύκλο για τον οποίο η τρέχουσα εντολή στο στάδιο EX είναι πολλαπλών κύκλων, μέχρι και τον προτελευταίο. Ο τελευταίος (τερματικός) κύκλος μιας εντολής πολλαπλών κύκλων σηματοδοτείται με ευθύνη του υλικού που εξυπηρετεί την ειδική εντολή. Επίσης, το στάδιο EX επικοινωνεί με τους τοπικούς συνεπεξεργαστές με χρήση διεπαφής SimpCon κατάλληλα τροποποιημένης για μεγαλύτερη παραλληλία για τη μεταφορά δεδομένων.

Στο στάδιο MEM (Προσπέλασης Μνήμης) οι εντολές τύπου φόρτωσης (lb, lbu, lh, lhu, lw) και αποθήκευσης (sb, sh, sw) ανακαλούν και αποθηκεύουν δεδομένα από/προς τη μνήμη

δεδομένων, αντίστοιχα. Θεωρητικά, πολλαπλές προσπελάσεις (μέχρι μία ανάγνωσης και μία εγγραφής ανά κύκλο) είναι εφικτές για ειδικές εντολές που χρησιμοποιούν το στάδιο MEM σε λειτουργία πολλαπλών κύκλων.

Στο στάδιο WB (Αποθήκευση Ορισμάτων Καταχωρητή) αποθηκεύονται τα ορίσματα προορισμού όπως αυτά υπολογίζονται από βασικές εντολές, ειδικές εντολές και από εντολές που υλοποιούνται με τη βοήθεια τοπικών συνεπεξεργαστών.

Η μονάδα προώθησης δεδομένων (forwarding_unit) αναλαμβάνει τη προώθηση των ενδιάμεσων αποτελεσμάτων (από τις εξόδους των καταχωρητών διοχέτευσης ανάμεσα στα στάδια EX/MEM και MEM/WB) στο στάδιο EX. Με τον τρόπο αυτό μπορούν να ικανοποιηθούν άμεσα οι εξαρτήσεις δεδομένων τύπου RAW (Read-After-Write) ώστε να εξουδετερώνονται οι αντίστοιχοι κίνδυνοι δεδομένων (data hazards). Στους επεξεργαστές ByoRISC υποστηρίζονται δύο επιλογές: απουσία μονάδας προώθησης, κάτι που επιβάλλει την προσθήκη επιπλέον εντολών NOP, και υλοποίηση πλήρους μονάδας προώθησης. Στη δεύτερη περίπτωση, είναι δυνατή η προώθηση δεδομένων για όλους τους συνδυασμούς ανάμεσα σε πηγές (στο στάδιο EX) και προορισμούς (στο στάδιο WB) ορισμάτων. Η χρήση μιας παραμετρικής και πλήρων δυνατοτήτων μονάδας προώθησης μπορεί να επηρεάσει τη μέγιστη συχνότητα λειτουργίας του επεξεργαστή με το να αποτελεί μέρος του κρίσιμου μονοπατιού ή ακόμη και να το επιδεινώσει. Για το λόγο αυτό απαιτείται παραμετρική μελέτη της μονάδας προώθησης για διαφορετικές τιμές αριθμού ορισμάτων πηγής και προορισμού.

Στα πλαίσια της διατριβής, αναπτύχθηκε καινοτόμα κλιμακούμενη αρχιτεκτονική προώθησης δεδομένων/παράκαμψης καταχωρητών (Scalable Register Bypassing – SRB) η οποία είναι εφαρμόσιμη σε σημαντικό εύρος ενσωματωμένων επεξεργαστών. Η αρχιτεκτονική ρυθμίζεται από παραμέτρους επιπέδου RTL, καθώς είναι πλήρως παραμετρική όσον αφορά τον αριθμό των θυρών εισόδου και εξόδου του κεντρικού αρχείου καταχωρητών του επεξεργαστή και τον αριθμό των σταδίων διοχέτευσης εκτέλεσης που μεσολαβούν ανάμεσα στο στάδιο αποκωδικοποίησης εντολής και ανάκλησης ορισμάτων ως το στάδιο αποθήκευσης ορισμάτων καταχωρητή. Αναλυτική περιγραφή της αρχιτεκτονικής SRB δίνεται στην ενότητα 2.3.3.3.

2.3.2. Το πεδίο μικροαρχιτεκτονικού σχεδιασμού των επεξεργαστών ByoRISC

Ένα από τα χαρακτηριστικά που διαφοροποιούν σημαντικά τους ειδικούς επεξεργαστές τεχνολογίας ByoRISC από συμβατικούς πλάσιμους επεξεργαστές οι οποίοι προορίζονται για χρήση σε ενσωματωμένα συστήματα (LEON2/3, Plasma MIPS [mlite], OpenRISC 1000) είναι ότι διαθέτουν μεγάλο αριθμό παραμέτρων οι οποίες είναι επιλέξιμες κατά τη λογική σύνθεση του επεξεργαστή. Κάθε επεξεργαστής ByoRISC οφείλει να υποστηρίζει τις 22 διαφορετικές παραμέτρους του Πίνακα 2.5, οι οποίες ρυθμίζουν τις δυνατότητες της συγκεκριμένης μικροαρχιτεκτονικής υλοποίησης που επιλέγεται κατά τη διαδικασία λογικής σύνθεσης.

Πίνακας 2.5: Το σύνολο των παραμέτρων που καθορίζουν το πεδίο μικροαρχιτεκτονικού σχεδιασμού του ByoRISC. Καταγράφονται όλες οι παράμετροι που υλοποιήθηκαν σε επίπεδο RTL VHDL.

Μικροαρχιτεκτονική παράμετρος	Περιγραφή	Επίπτωση σε επίπεδο RTL VHDL
HAVE_CI	Υποστήριξη ειδικών εντολών	Προσθήκη σταδίου SID, το αρχείο καταχωρητών επιτρέπεται να διαθέτει περισσότερες από 2 θύρες ανάγνωσης και μία εγγραφής
HAVE_COP	Υποστήριξη τοπικών συνεπεξεργαστών μέσω προσαρμοσμένης αρχιτεκτονικής διασύνδεσης τύπου SimpCon	Προσθήκη αντίστοιχης λογικής στα στάδια ID, EX, MEM και WB για το χειρισμό των εντολών τοπικού συνεπεξεργαστή. Προσθήκη υλικού για τη διασύνδεση του βασικού

		επεξεργαστή με τους τοπικούς συνεπεξεργαστές καθώς και οι ίδιοι οι τοπικοί συνεπεξεργαστές.
HAVE_ZOLC	Αρχιτεκτονική ελέγχου μηδενικής επιβάρυνσης βρόχου (ZOLC)	Προσθήκη των μονάδων του ZOLC στα στάδια IF (οι περισσότερες αλλαγές/προσθήκες) και ID.
HAVE_SMALL_IMM	Υποστήριξη 8-bit άμεσου ορίσματος σε αριθμητικές εντολές και σε εντολές φόρτωσης/αποθήκευσης	Προσθήκη λογικής για την αποκωδικοποίηση (στάδιο ID) και τις λειτουργίες διαδρόμου δεδομένων (στάδιο EX) του νέου τρόπου διευθυνσιοδότησης.
FORWARDING	Προώθηση δεδομένων	Ρύθμιση του αριθμού θυρών εισόδου, εξόδου και των βαθμίδων διοχέτευσης για τη συγκεκριμενοποίηση της κλιμακούμενης αρχιτεκτονικής προώθησης δεδομένων
BRANCH_EARLY	Επιλογή για την εξαγωγή της σηματοδότησης για αλλαγή ροής ελέγχου λόγω εντολής διακλάδωσης (πριν ή μετά τον καταχωρητή διοχέτευσης EX/MEM)	Ανάθεση του σήματος για την αλλαγή ροής ελέγχου πριν ή μετά τον καταχωρητή διοχέτευσης EX/MEM
IMEMSIZE	Διαστάσεις μνήμης προγράμματος	Ρύθμιση του μεγέθους της μνήμης προγράμματος (2KB ή 8KB)
DMEMSIZE	Διαστάσεις μνήμης δεδομένων	Ρύθμιση του μεγέθους της μνήμης δεδομένων (2KB ή 8KB)
OW	Εύρος bit κώδικα λειτουργίας (opcode width)	Ρύθμιση του εύρους bit του πεδίου λειτουργικού κώδικα (6 ως 8)
RAW	Εύρος bit διεύθυνσης καταχωρητή (register address width)	Ρύθμιση του εύρους bit του πεδίου διεύθυνσης καταχωρητή (5 ως 8). Καθορίζει έμμεσα το μέγιστο αριθμό διευθυνσιοδοτήσιμων καταχωρητών γενικού σκοπού σε 32 ως 256, σε δυνάμεις του 2, αντίστοιχα.
NWP	Αριθμός θυρών εγγραφής του αρχείου καταχωρητών (number of write ports)	Ρύθμιση του αριθμού ορισμάτων προορισμού (εξόδου) που μπορεί να έχει μία εντολή. Τυπικές τιμές: 1-8 (δεν μπορεί να έχει τιμή μικρότερη του 1).
NRP	Αριθμός θυρών ανάγνωσης του αρχείου καταχωρητών (number of read ports)	Ρύθμιση του αριθμού ορισμάτων πηγής (εισόδου) που μπορεί να έχει μία εντολή. Τυπικές τιμές: 2-8 (δεν μπορεί να έχει τιμή μικρότερη του 2).
OPTIONAL_LS	Εντολές φόρτωσης/αποθήκευσης για βασικούς τύπους δεδομένων πλην του word	Προσθήκη υλικού για τις εντολές: lb, lbu, lh, lhu, sb, sh
OPTIONAL_SHIFT	Εντολές ολίσθησης κατά άμεσο όρισμα	Προσθήκη υλικού για τις εντολές: sra, srl, sra
OPTIONAL_CTI	Εντολές μεταφοράς ελέγχου με κλήση υπορουτίνας	Προσθήκη υλικού για τις εντολές: jal
OPTIONAL_CVT	Ανάθεση τύπου	Προσθήκη υλικού για τις εντολές: cvt
OPTIONAL_MUL	Εντολές πολλαπλασιασμού	Προσθήκη υλικού για τις εντολές: mul, mulu
OPTIONAL_DIV	Εντολές διαίρεσης	Προσθήκη υλικού για τις εντολές: div, divu

OPTIONAL_SET	Εντολές σύγκρισης	Προσθήκη υλικού για τις εντολές: seq, sne, sle, slue
OPTIONAL_LOGIC	Λογικές εντολές	Προσθήκη υλικού για τις εντολές: por
MULT_TOPOLOGY	Τοπολογία του πολλαπλασιαστή	Ρύθμιση της τοπολογίας του πολλαπλασιαστή σε απλού κύκλου ή 4 κύκλων (ως 4 εσωτερικά στάδια διοχέτευσης στο στάδιο EX)
SHIFTER_TOPOLOGY	Τοπολογία του ολισθητή	Ρύθμιση της τοπολογίας του ολισθητή απλού κύκλου. Υποστηρίζονται τρεις διαφορετικοί τύποι: τύπου funnel, τύπου barrel, και μεμονωμένων ολισθητών

2.3.3. Μικροαρχιτεκτονικές ιδιαιτερότητες των επεξεργαστών ByoRISC

2.3.3.1. Η αρχιτεκτονική ZOLC

Η αρχιτεκτονική ελέγχου ZOLC, η οποία παρουσιάστηκε διεξοδικά στο 5^ο κεφάλαιο προσφέρει τη δυνατότητα εξουδετέρωσης των εντολών ελέγχου βρόχων (αύξηση του δείκτη βρόχου, σύγκριση με την τελική τιμή επανάληψης και διακλάδωση) με την προσθήκη υλικού στο στάδιο ανάκλησης εντολής. Καθώς η τεχνική έχει εφαρμοστεί σε επίπεδο VHDL σε RISC επεξεργαστές MIPS-I (Xtensa [Cam01]), θα μπορούσε να εφαρμοστεί εξίσου για την αρχιτεκτονική διοχέτευσης των βασικών εντολών σε ByoRISC επεξεργαστές. Αυτό προϋποθέτει ότι α) οι ειδικές εντολές του ByoRISC δεν συμπεριλαμβάνουν λειτουργίες μεταφοράς ελέγχου και β) ότι η αρχιτεκτονική διοχέτευσης είναι βαθμωτή σε-σειρά (scalar in-order). Η χρήση ZOLC στην αρχιτεκτονική ByoRISC ενσωματώθηκε και εξετάστηκε εκτενώς στο επίπεδο προσομοίωσης ακρίβειας και εκτίμησης κύκλου.

2.3.3.2. Τεχνικές αποκωδικοποίησης εντολών

Οι επεξεργαστές ByoRISC προορίζονται να είναι συνθέσιμοι με αυτοματοποιημένες διαδικασίες εντός μιας ροής σχεδιασμού ΕΕΣ, κάτι που επιβάλλει την απλοποίηση της οργάνωσης της αρχιτεκτονικής ελέγχου όσον αφορά την αποκωδικοποίηση εντολών. Αυτό προκύπτει ως ανάγκη καθώς:

- Εντολές με εκτέλεση πολλαπλών κύκλων με ανάγκη για βαθύτερη αρχιτεκτονική διοχέτευσης μπορεί να προστεθούν στο φυλασσόμενο χώρο κωδικοποιήσεων για τις βασικές εντολές (0x38-0x3F) ή στις ειδικές εντολές (0x40-0xFF). Γενικά, σε ΕΕΣ ByoRISC, ενδέχεται να χρησιμοποιηθούν διαφορετικοί αριθμοί σταδίων διοχέτευσης και τύποι λειτουργικών μονάδων.
- Εντολές που ενδέχεται να προστεθούν μπορεί να περιπλέξουν το σχεδιασμό της μονάδας προώθησης δεδομένων. Για τον ίδιο λόγο, οι μικροαρχιτεκτονικές ByoRISC δεν διαθέτουν μονάδα ανίχνευσης κινδύνου φόρτωσης δεδομένων (load data hazard). Ο προγραμματιστής πρέπει να εισάγει μία NOP μετά από την εντολή φόρτωσης που προκαλεί τον κίνδυνο δεδομένων.

Η κατανεμημένη αποκωδικοποίηση εντολών γίνεται με αποκωδικοποίηση, εκ νέου, του κώδικα λειτουργίας σε κάθε στάδιο διοχέτευσης, ώστε την εξαγωγή της πληροφορίας ελέγχου που χρειάζεται σε κάθε στάδιο. Το μοντέλο ενός επεξεργαστή ByoRISC αποτελείται από μια ακολουθία σταδίων διοχέτευσης, κάθε ένα από τα οποία εκτελεί τοπικές λειτουργίες αποκωδικοποίησης ελέγχου. Λαμβάνοντας υπόψη ότι οι επεξεργαστές ByoRISC μπορεί να συντίθενται από διαφορετικό αριθμό σταδίων, η κατανομή του ελέγχου καθιστά περισσότερο εύκολη και ελέγξιμη την αυτόματη σύνθεση του κώδικα RTL του επεξεργαστή από προδιαγραφές. Για παρόμοιους λόγους, οι επεξεργαστές που συντίθενται από το ακαδημαϊκό

εργαλείο ASIP-Meister [ASIPmeister],[Itoh00] για το οποίο έχει διακοπεί η διάθεση νέων ακαδημαϊκών εκδόσεων, ή από τα εμπορικά εργαλεία που εμπορευματοποίησαν την τεχνολογία ASIP-Meister (One-Day-Designed Processors [ASIP-Solutions]) ακολουθούν αυτό το μοντέλο ελέγχου. Μάλιστα, οι επεξεργαστές που υποστηρίζονται από το ASIP-Meister, δεν διαθέτουν δυνατότητα προώθησης δεδομένων και η εισαγωγή των απαιτούμενων NOP λειτουργιών είναι ευθύνη του προγραμματιστή ή του μεταγλωττιστή.

Το σημαντικότερο μειονέκτημα της τεχνικής αυτής είναι ότι επηρεάζει αρνητικά τη μέγιστη συχνότητα ρολογιού που επιτυγχάνεται σε τεχνολογίες fine-grain FPGA. Αντίθετα, όταν ο επεξεργαστής στοχεύεται σε τεχνολογίες coarse-grain, για τις οποίες το κόστος των διασυνδέσεων σε χρονική καθυστέρηση αλλά και των αλληπάλληλων σταδίων λογικής εντός ενός σταδίου διοχέτευσης είναι σημαντικά μικρότερο, η μείωση αυτή είναι σημαντικά μικρότερη.

2.3.3.3. Κλιμακούμενη αρχιτεκτονική προώθησης δεδομένων για πλάσιμους επεξεργαστές

Με αφορμή το πρότυπο επεξεργαστών ByoRISC, αναπτύχθηκαν οι προδιαγραφές και πραγματοποιήθηκε ο σχεδιασμός της κλιμακούμενης και παραμετρικής αρχιτεκτονικής προώθησης δεδομένων SRB. Η οργάνωση μιας μικροαρχιτεκτονικής προώθησης δεδομένων SRB που πρόκειται να χρησιμοποιηθεί σε έναν επεξεργαστή ByoRISC ή σε άλλον πλάσιμο επεξεργαστή (όπως Nios-II, MicroBlaze, LEON3) μπορεί να ρυθμιστεί ως προς τον επιθυμητό μέγιστο υποστηριζόμενο αριθμό θυρών εισόδου/εξόδου του κεντρικού αρχείου καταχωρητών και τον αριθμό των σταδίων διοχέτευσης. Η κύρια συνεισφορά στην υπάρχουσα τεχνική από την ανάπτυξη της προδιαγραφής SRB είναι οι εξής:

- Ανάπτυξη μιας ρητής προδιαγραφής παράκαμψης καταχωρητών η οποία να είναι πλήρως παραμετρική και εύκολα προσαρμόσιμη σε διαφορετικούς επεξεργαστές. Ειδικότερα, αναμένεται να είναι εξαιρετικού ενδιαφέροντος για σχεδιαστές νέων/ανερχόμενων αρχιτεκτονικών επεξεργαστών.
- Γίνεται προσεκτική και διεξοδική μελέτη της επίδρασης του κυκλώματος παράκαμψης και του απαιτούμενου πολυθυρικού αρχείου καταχωρητών στα χρονικά χαρακτηριστικά και την επιφάνεια ολοκληρωμένου ενός αντιπροσωπευτικού επεξεργαστή. Στη συναφή βιβλιογραφία είτε μοντελοποιείται ένα μέρος του επεξεργαστή (για παράδειγμα ο χειριστής δεδομένων με ένα αρχείο καταχωρητών) είτε αποκλειστικά οι μηχανισμοί παράκαμψης.
- Τονίζονται συγκεκριμένα ζητήματα που έχουν να κάνουν με την εφαρμογή της προδιαγραφής SRB σε υλοποιήσεις πλάσιμων επεξεργαστών σε σύγχρονες διατάξεις FPGA. Τα FPGA ως μέσο υλοποίησης αγνοούνται ακόμη και από τις πιο πρόσφατες δημοσιεύσεις στο αντικείμενο αυτό.

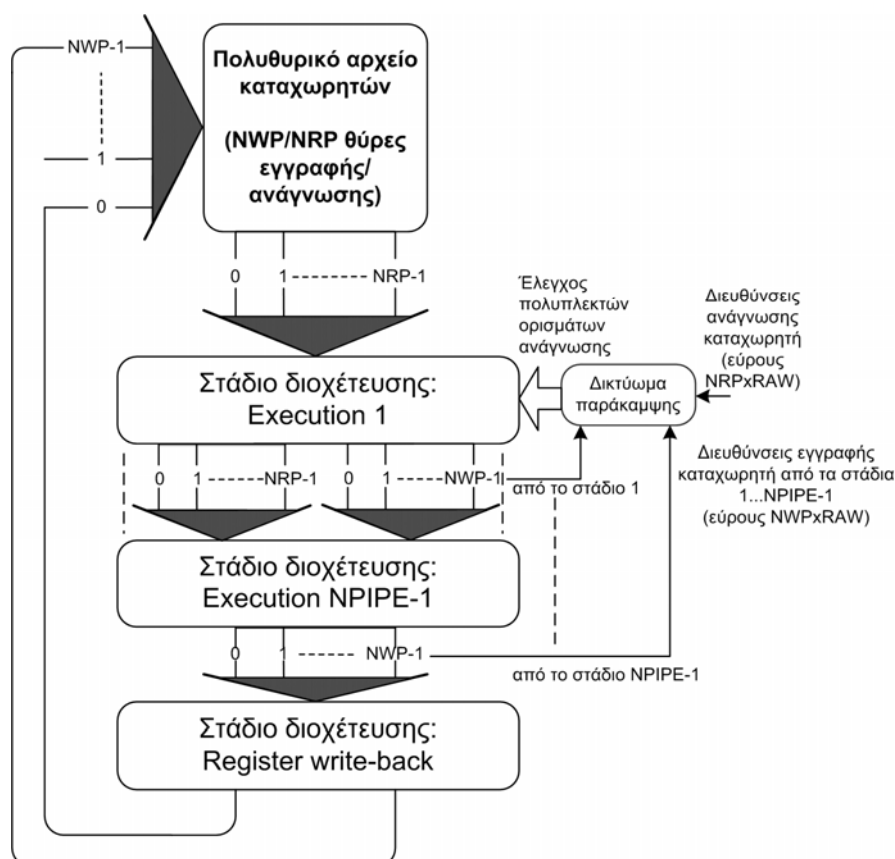
Το γενικό μοντέλο ενσωματωμένων πλάσιμων επεξεργαστών που στοχεύεται για χρήση της αρχιτεκτονικής SRB δίνεται στο Σχήμα 2.5. Οι επεξεργαστές ακολουθούν το πρότυπο RISC και διαθέτουν αρχιτεκτονική σταδίων διοχέτευσης, η οποία αποτελείται από:

- Ένα στάδιο ανάκλησης εντολής (IF), το οποίο δεν δείχνεται στο Σχήμα 2.5 μιας, πιθανώς, ευρείας εντολής, η οποία ενσωματώνει μία ή περισσότερες μικρολειτουργίες προς εκτέλεση από τις αντίστοιχες τους θυρίδες εκτέλεσης
- Ένα στάδιο αποκωδικοποίησης εντολής και ανάκλησης ορισμάτων για την ανάγνωση *NRP* ορισμάτων καταχωρητή
- *NPIPE* στάδια εκτέλεσης με τουλάχιστον ένα από αυτά να έχει άμεση πρόσβαση στη μνήμη δεδομένων (μέσω εντολών τύπου φόρτωσης και αποθήκευσης)
- Ένα στάδιο αποθήκευσης ορισμάτων καταχωρητή (WB) για την εγγραφή *NWP* ορισμάτων καταχωρητή

Η βασική υπόθεση είναι ότι το πρώτο από τη σειρά των σταδίων διοχέτευσης λαμβάνει μέχρι NRP ορίσματα ανάγνωσης από ένα, εν γένει, πολυθυρικό αρχείο καταχωρητών και παράγει ένα διάνυσμα αποτελεσμάτων, το οποίο αποτελείται, το πολύ, από NWP ορίσματα εγγραφής καταχωρητή. Τα διάδοχα στάδια εκτέλεσης δέχονται το διάνυσμα ενδιάμεσων αποτελεσμάτων από το προηγούμενό τους στάδιο, το οποίο είναι εύρους $NWP \times DW$, όπου DW είναι το εύρος της λέξης δεδομένων στην αρχιτεκτονική. Ακόμη, μπορεί να καθοριστεί ότι διαβάζουν μέχρι NRP από τα προωθημένα ορίσματα ανάγνωσης, δοθέντος ότι αυτά έχουν αποθηκευτεί στους καταχωρητές διοχέτευσης του προηγούμενου σταδίου. Το τελικό στάδιο διοχέτευσης είναι υπεύθυνο για την κατάθεση του τελικού διανύσματος αποτελεσμάτων στο αρχείο καταχωρητών. Επιπρόσθετοι υπολογισμοί δεν μπορούν να λάβουν χώρα στο στάδιο αυτό, για αυτό και δεν είναι απαραίτητη η ανάγνωση του διανύσματος ορισμάτων ανάγνωσης και των αντίστοιχων διευθύνσεων καταχωρητή (τα διανύσματα διευθύνσεων καταχωρητή δεν δείχνονται στο Σχήμα 2.5). Οποιοδήποτε από τα NPIPE στάδια εκτέλεσης μπορεί να ρυθμιστεί για λειτουργία πολλαπλών κύκλων, ακινητοποιώντας τα προηγούμενα στάδια για τον απαιτούμενο αριθμό κύκλων.

Το δικτύωμα παράκαμψης (bypass network) παράγει τα σήματα ελέγχου των πολυπλεκτών που χρησιμοποιούνται στο πρώτο στάδιο εκτέλεσης (EX1 ή EX όταν $NPIPE=2$) για την προώθηση των κατάλληλων δεδομένων. Αυτά προέρχονται είτε άμεσα από το αρχείο καταχωρητών, είτε είναι ενδιάμεσα αποτελέσματα από έναν από τους καταχωρητές διοχέτευσης που πρόκειται να γραφούν στην ίδια φυσική διεύθυνση καταχωρητή σε επόμενο στάδιο. Το στάδιο EX1 ενσωματώνει ένα σύνολο πολυπλεκτών για την επιλογή μιας από τις προωθημένες τιμές ανά θύρα ανάγνωσης του κεντρικού αρχείου καταχωρητών.

Το μοντέλο αυτό αντιπροσωπεύει τη μεγάλη πλειοψηφία των υπαρχόντων πλάσιμων επεξεργαστών (με την εξαίρεση πολυνηματικών αρχιτεκτονικών όπως είναι οι OpenSPARC T1 και T2 [OpenSPARC]). Περιλαμβάνει ακόμη και πρόνοιες για μελλοντικές αρχιτεκτονικές ενσωματωμένων επεξεργαστών, οι οποίες θα έχουν τη δυνατότητα να εκδίδουν, να επεξεργάζονται και να καταθέτουν πολλά ορίσματα είτε στον ίδιο κύκλο είτε στο ίδιο βήμα ελέγχου.



Σχήμα 2.5: Γενικό μικροαρχιτεκτονικό μοντέλο, αντιπροσωπευτικό μοντέρνων πλάσιμων επεξεργαστών, το οποίο εστιάζει στην προώθηση δεδομένων από ενδιάμεσα αποτελέσματα.

Προκειμένου τη διευκόλυνση της εφαρμογής των μηχανισμών SRB, στο σημείο αυτό παρουσιάζεται καταγραφή των προδιαγραφών υπό μορφή ψευδοκώδικα. Οι προδιαγραφές ενέπνευσαν τη σύνταξη μιας συνθέσιμης περιγραφής επιπέδου RTL η οποία έχει αξιοποιηθεί στο σχεδιασμό των ενσωματωμένων επεξεργαστών ByoRISC, των οποίων η βασική μορφή (για την εκτέλεση του βασικού συνόλου εντολών) μοιράζεται κοινά χαρακτηριστικά με τους επεξεργαστές DLX, MIPS-I [Hen96] (όσον αφορά το σύνολο εντολών) και MMIX [Knu99] (όσον αφορά την ορθογωνιότητα των κωδικοποιήσεων εντολών) έχει ισχυρές ομοιότητες. Μια μεθοδική αναπαράσταση των λειτουργιών του SRB σε επίπεδο μικροαρχιτεκτονικής είναι εκμεταλλεύσιμη από τη σκοπιά του σχεδιασμού μοντέρνων ενσωματωμένων πλάσιμων επεξεργαστών ή ακόμη για την ενσωμάτωση αρχιτεκτονικών παραλλαγών σε μια υπάρχουσα οικογένεια επεξεργαστών.

Σε αδρές γραμμές, η αρχιτεκτονική SRB είναι πλήρως παραμετροποιημένη όσον αφορά τον αριθμό θυρών ανάγνωσης (NRP) και εγγραφής (NWP) του συνόλου καταχωρητών το οποίο είναι ορατό από τον προγραμματιστή, καθώς και τον αριθμό των σταδίων διοχέτευσης εκτέλεσης λειτουργιών (NPIPE). Στην περίπτωση ενός τυπικού επεξεργαστή ByoRISC (τον ονομάζουμε στην ενότητα αυτή ως 'OurRISC'), είναι $NPIPE=2$. Το υλικό της SRB αποτελείται κατά βάση από τις εξής συνιστώσες:

- NRP, τον αριθμό, $(NPIPE \times NWP + 1) - \text{σε} - 1$ πολυπλέκτες που είναι τοποθετημένοι στο πρώτο στάδιο εκτέλεσης του επεξεργαστή για την επιλογή του κατάλληλου προωθημένου δεδομένου ανά θύρα ανάγνωσης.
- $NRP \times NPIPE \times NWP$ συγκριτές για την αποτίμηση των σημάτων ελέγχου για τους παραπάνω πολυπλέκτες. Στην περίπτωση υποστήριξης λειτουργίας πολλαπλών κύκλων, το αποτέλεσμα από κάθε συγκριτή φρουρείται από μία σημαία, η οποία γίνεται ενεργή μόνο κατά τον κύκλο στον οποίο ολοκληρώνεται η λειτουργία πολλαπλών κύκλων, η οποία διατελείται στο θεωρούμενο στάδιο διοχέτευσης.

Κάθε ένας από τους πολυπλέκτες απαιτεί σήμα ελέγχου με εύρος ίσο με $\lceil \log_2(NWP) \rceil + \lceil \log_2(NPIPE + 1) \rceil$. Η διαμόρφωση του σήματος ελέγχου των πολυπλεκτών διαιρείται σε δύο πεδία: στο πεδίο 'pipe_sel' το οποίο επιλέγει το κατάλληλο στάδιο εκτέλεσης για την αποκομιδή ενός ενδιάμεσου αποτελέσματος, με τη μηδενική τάξη (EX0) να αναφέρεται στο στάδιο ανάκλησης ορισμάτων, και στο πεδίο 'wp_sel' για τη σημείωση του αύξοντος αριθμού μιας θύρας εγγραφής. Η διαμόρφωση παρουσιάζεται στο Σχήμα 2.6.

$\log_2(NWP) + \log_2(NPIPE + 1) - 1$	$\log_2(NPIPE + 1)$	$\log_2(NPIPE + 1) - 1$	0
wp_sel		pipe_sel	

Σχήμα 2.6: Διαμόρφωση του σήματος ελέγχου για τους πολυπλέκτες του πρώτου σταδίου εκτέλεσης (στον ψευδοκώδικα του Κώδικα 2.1 σημειώνεται ως `alu_opd_v_sel`).

Ο ψευδοκώδικας για την αρχιτεκτονική προώθησης δεδομένων SRB, η οποία δίνεται στο Σχήματος 2.5, αποτελείται από δύο μέρη. Το πρώτο μέρος (BypassNetwork) περιγράφει την καθ' αυτό μονάδα προώθησης δεδομένων, η οποία αποτελεί ένα άρθρωμα συνδυαστικής λογικής που απαιτείται για τον υπολογισμό των σημάτων ελέγχου των πολυπλεκτών προώθησης δεδομένων. Το δεύτερο μέρος (DataForwardingMultiplexers) υλοποιεί τους αναφερόμενους πολυπλέκτες. Στον παρακάτω ψευδοκώδικα (Κώδικας 2.1), αμοιβαία αποκλειόμενες (mutually-exclusive) επιλογές οι οποίες μπορούν να αποφασιστούν παράλληλα συμβολίζονται από δηλώσεις *for...choice*, το οποίο σημαίνει ότι οι υπονοούμενες επαναλήψεις μπορούν να υλοποιηθούν με παραλληλοποιημένο υλικό. Εξαρτάται από τη

συγκεκριμένη υλοποίηση, το αν για την υποστήριξη μιας δήλωσης *for...choice* απευθείας σε υλικό χρησιμοποιηθεί μια ισορροπημένη (balanced) δομή ή ένας κωδικοποιητής προτεραιότητας. Μια δήλωση *for...choice* μπορεί να χρησιμοποιηθεί και ως έκφραση δεξιού μέλους (right-hand side – RHS), όπως για την υλοποίηση εμφωλευμένων δηλώσεων υπό συνθήκη για έναν καθοριζόμενο αριθμό επιλογών, οι οποίες ελέγχουν αναθέσεις σε μία οντότητα (μεταβλητή αριστερού μέλους). Αυτές οι δηλώσεις ειδικού τύπου μπορούν να υλοποιηθούν από μία δήλωση υπό συνθήκη *case-when* ή *if-elsif-else-end if* στη VHDL και από *switch-case* μπλοκ δηλώσεων στην ANSI C. Επιπλέον, η συνάρτηση βιβλιοθήκης *bitvector* χρησιμοποιείται παρόμοια με την *conv_std_logic_vector(x,y)* της VHDL-93, όπου ο *x* είναι ακέραιος και ο *y* δίνει το εύρος bit που ανατίθεται για τη δυαδική αναπαράσταση του *x*. Τα διανύσματα έχουν κατάληψη ‘_v’, έτσι ώστε τα προθέματα *rdata*, *wdata*, *raddr*, *waddr* να δηλώνουν ορίσματα και διευθύνσεις, ανάγνωσης και εγγραφής, αντίστοιχα. Πρόκειται για διδιάστατα διανύσματα: πίνακες, των οποίων η πρώτη διάσταση σημειώνει την απαρίθμηση του διευθυνσιοδοτούμενου σταδίου διοχέτευσης και η δεύτερη διευθυνσιοδοτεί ένα πεδίο bit της καταχώρησης στον πίνακα για το συγκεκριμένο στάδιο διοχέτευσης. Το *alu_opd_v_sel* είναι το μονοδιάστατο διάνυσμα που αντιπροσωπεύει το σήμα ελέγχου των πολυπλεκτών προώθησης δεδομένων. Όπως είναι φανερό, ο τελεστής *concat* συνενώνει δύο διανύσματα, κατά τις συμβάσεις του τελεστή ‘&’ στη VHDL. Το σύμβολο ‘:’ χρησιμοποιείται για την αναφορά σε πεδίο bit με τον ίδιο τρόπο που αυτό γίνεται στη γλώσσα Verilog-HDL, και αντιστοιχεί σε δήλωση εύρους bit που χρησιμοποιεί τη λέξη-κλειδί *downto* στη VHDL.

Ο Πίνακας 2.6 συνοψίζει τη σημειογραφία που χρησιμοποιείται για παραμέτρους, σήματα και αρχιτεκτονικούς πόρους της προδιαγραφής SRB.

```
BypassNetwork()
begin
  for i in 0..NRP-1 do
    alu_opd_v_sel[(log2(NWP)+log2(NPIPE+1))·(i+1)-1:(log2(NWP)+log2(NPIPE+1))·i] ←
      for j in 0..NWP-1 choice
        for k in 1..NPIPE choice
          bitvector(j, log2(NWP)) concat bitvector(k, log2(NPIPE+1)) when
            (a register write is permitted) and
            (waddr_v[k, RAW·(j+1)-1:RAW·j]
              equals raddr_v[0, RAW·(i+1)-1:RAW·i]);
        endwhen
      endfor
    endfor
  endfor
end

DataForwardingMultiplexers()
begin
  for i in 0..NRP-1 do
    rdata_v[1, DW·(i+1)-1:DW·i] ←
      for j in 0..NWP-1 choice
        for k in 0..NPIPE choice
          if k equals 0
            rdata_v[0, DW·(i+1)-1:DW·i];
          else
            wdata_v[k, DW·(NWP-(j-1))-1:DW·(NWP-j)] when
              (alu_opd_v_sel[(log2(NWP)+log2(NPIPE+1))·(i+1)-1:(log2(NWP)+log2(NPIPE+1))·i]
                equals bitvector(2^NPIPE·(NWP-j), log2(NWP)+log2(NPIPE+1)));
            endwhen
          endif
        endfor
      endfor
    endfor
```

```
endfor  
endfor  
end
```

Κώδικας 2.1: Ψευδοκώδικας της προδιαγραφής κλιμακούμενης αρχιτεκτονικής παράκαμψης καταχωρητών (SRB).

Πίνακας 2.6: Σημειογραφία που χρησιμοποιείται στον ψευδοκώδικα του Κώδικα 2.1.

Όνομα	Περιγραφή
RAW	Εύρος διεύθυνσης καταχωρητή
DW	Εύρος λέξης δεδομένων
NWP	Αριθμός θυρών εγγραφής αρχείου καταχωρητών
NRP	Αριθμός θυρών ανάγνωσης αρχείου καταχωρητών
NPIPE	Αριθμός σταδίων διοχέτευσης ανάμεσα στα στάδια αποκωδικοποίησης εντολής και ανάγνωσης ορισμάτων και εγγραφής ορισμάτων καταχωρητή

2.4. Εμπειρικός σχεδιασμός ειδικών λειτουργικών μονάδων

Συμπληρωματικά με την επέκταση του συνόλου εντολών ενός επεξεργαστή ByoRISC με αυτοματοποιημένη διεργασία (π.χ. με χρήση του εργαλείου YARDstick) σε ορισμένες περιπτώσεις το ζητούμενο είναι η επέκταση ενός ByoRISC με ήδη γνωστές ειδικές εντολές και ΕΛΜ. Τέτοιες ειδικές εντολές μπορεί να έχουν αποφασιστεί με βάση την εμπειρική γνώση του σχεδιαστή, και να έχει αξιολογηθεί ότι εμφανίζονται αρκετά συχνά στις εφαρμογές ενός ολόκληρου πεδίου (domain) όπως είναι π.χ. τα πολυμέσα (multimedia). Συλλογές από ειδικές εντολές οι οποίες έχουν εξαχθεί με αυτόματους τρόπους είναι επίσης καταχωρήσιμες σε διαμόρφωση ISeq.

Ως χαρακτηριστικά παραδείγματα παραθέτουμε ορισμένες εντολές οι οποίες προκύπτουν σε αρκετές εφαρμογές ψηφιακής επεξεργασίας σήματος. Για τις εντολές αυτές είναι χρήσιμο να είναι διαθέσιμες υλοποιήσεις τους είτε ως μακροαντικαταστάσεις είτε ως συναρτήσεις υπό μορφή βιβλιοθήκης (συνήθως σε συνδυασμό C και γλώσσας συμβολομεταφραστή ByoRISC) προκειμένου να διατηρείται η μεταφερότητα των προγραμμάτων ανάμεσα σε επεξεργαστές ByoRISC, με ή χωρίς τις αντίστοιχες επεκτάσεις, στο επίπεδο του κώδικα συμβολομεταφραστή. Ο Πίνακας 2.7 συνοψίζει ορισμένες από τις εντολές που καθορίστηκαν εμπειρικά, και υλοποιήθηκαν σε προσομοιωτή ακρίβειας κύκλου ή και σε επίπεδο VHDL.

Πίνακας 2.7: Εντολές επέκτασης που υλοποιήθηκαν σε επεξεργαστές ByoRISC, οι οποίες έχουν προσδιοριστεί εμπειρικά.

Μνημονικό	Περιγραφή	Συνήθης σύνταξη (BNF). Στην αρχιτεκτονική ByoRISC η σύνταξη είναι: customx imm	Τυπικοί κύκλοι εκτέλεσης
ABLEND	Ανάμειξη τιμών	ablend rd0, rs0	1
ABS	Απόλυτη τιμή	abs rd0, rs0	1
CLIP	Περιορισμός τιμής ανάμεσα σε δύο όρια	clip rd0, rs0, rs1, rs2	1
CLO	Απαρίθμηση προπορευόμενων άσων	clo rd0, rs0	1 (ASIC) 1-2 (FPGA)

CLZ	Απαρίθμηση προπορευόμενων μηδενικών	clz rd0, rs0	1 (ASIC) 1-2 (FPGA)
MAX	Εξαγωγή μεγαλύτερης τιμής	max rd0, rs0, rs1	1
MIN	Εξαγωγή μικρότερης τιμής	min rd0, rs0, rs1	1
POPCNT	Απαρίθμηση πληθυσμού	popcnt rd0, rs0	1 (ASIC) 1-4 (FPGA)
SELECT	Επιλογή τιμής από δύο πηγές	select rd0, rs0, rs1, rs2	1
SIGNUM	Εξαγωγή προσήμου	signum rd0, rs0	1

3. ΧΑΡΑΚΤΗΡΙΣΜΟΣ ΤΩΝ ΕΕΣ ΣΕ ΔΙΑΦΟΡΕΤΙΚΕΣ ΤΕΧΝΟΛΟΓΙΕΣ ΥΛΟΠΟΙΗΣΗΣ

Όπως έχει ήδη αναφερθεί, οι σχεδιαζόμενοι ASIP είναι υλοποιήσιμοι είτε σε τεχνολογίες ASIC τυποποιημένου κελιού είτε σε διατάξεις FPGA με λογική σύνθεση των τελικών VHDL περιγραφών τους. Αν και πρόκειται και στις δύο περιπτώσεις για διεργασίες CMOS, αυτές έχουν πολύ διαφορετικά χαρακτηριστικά: για παράδειγμα, στις τεχνολογίες τυποποιημένου κελιού, το κόστος των διασυνδέσεων ανάμεσα στα λογικά κελιά είναι αμελητέο όσον αφορά την επιφάνεια και την καθυστέρηση διάδοσης, σε σχέση με τα FPGA όπου οι διασυνδέσεις είναι υπεύθυνες για το 50%-90% της συνολικής καθυστέρησης διάδοσης.

Οι διαφοροποιήσεις αυτές κάνουν επιτακτική την ανάγκη χαρακτηρισμού τόσο των συνιστωσών μονάδων (λειτουργικές μονάδες, πόροι αποθήκευσης) όσο και των επεξεργαστών ByoRISC για κάθε περίπτωση τεχνολογίας ξεχωριστά. Ιδιαίτερα για την περίπτωση των λειτουργικών μονάδων (αναλυτικά στην ενότητα 3.1) τα αποτελέσματα του χαρακτηρισμού αξιοποιούνται από το YARDstick και αποτελούν τμήμα του backend για την κάθε IR. Συγκεκριμένα, οι προδιαγραφές BXIR (ByoX IR) που χρησιμοποιούνται για την επαναστόχευση του YARDstick σε διαφορετικές αρχιτεκτονικές-στόχους περιλαμβάνουν χαρακτηριστικές ποσότητες για κάθε τελεστή: χρονική καθυστέρηση διάδοσης (delay), αριθμός κύκλων ακολουθιακής εκτέλεσης (latency), και επιφάνεια υλικού (area) για το αντίστοιχο εύρος bit του τελεστή (bitwidth).

Στην περίπτωση του ASIC, ο χαρακτηρισμός μιας μονάδας υλικού ανάγεται στην εκτίμηση δύο βαθμωτών παραμέτρων: της χρονικής (συνδυαστικής) καθυστέρησης διάδοσης (delay/latency) και της επιφάνειας υλικού (σε μm^2 ή αριθμό ισοδύναμων πυλών NAND 2 εισόδων) για ένα δεδομένο εύρος λέξης bit. Στην περίπτωση μιας διάταξης FPGA, με αντίστοιχο τρόπο το εργαλείο λογικής σύνθεσης (για παράδειγμα Xilinx ISE Webpack) δίνει εκτίμηση της χρονικής καθυστέρησης και της αποσύνθεσής της σε επιμέρους καθυστερήσεις λόγω α) λογικής και β) διασυνδέσεων. Η εκτίμηση του κόστους σε επιφάνεια ολοκληρωμένου για ένα μοντέρνο FPGA οφείλει να συνεκτιμά την κατάληψη πόρων όλων των τύπων (LUT, ενσωματωμένοι πολλαπλασιαστές 18x18, block RAM των 16Kbit, για τις οικογένειες Spartan-3, Spartan-3E και μονάδων DSP48 για τις Virtex-4/5). Προκειμένου την εξαγωγή μιας βαθμωτής ποσότητας (από 0 για μηδενική κατάληψη έως 100 για την πλήρη κατάληψη) επινοήθηκε η εξής γραμμική συνάρτηση κόστους, ισχύει για τις οικογένειες Spartan-3 και Spartan-3E:

$$Area = 100 - \left(\alpha \cdot (LUT_{\max} - nLUT) / LUT_{\max} + \beta \cdot (BRAM_{\max} - nBRAM) / BRAM_{\max} + \gamma \cdot (BMULT_{\max} - nBMULT) / BMULT_{\max} \right) \quad (3.1)$$

όπου:

- $nLUT$, LUT_{max} ο αριθμός των LUT που χρησιμοποιούνται και ο συνολικός αριθμός τους, αντίστοιχα
- $nBRAM$, $BRAM_{max}$ ο αριθμός των ενσωματωμένων RAM μπλοκ που χρησιμοποιούνται και ο συνολικός αριθμός τους, αντίστοιχα
- $nBMULT$, $BMULT_{max}$ ο αριθμός των ενσωματωμένων πολλαπλασιαστών διαστάσεων 18x18-bit που χρησιμοποιούνται και ο συνολικός αριθμός τους, αντίστοιχα
- α , β , γ είναι οι συντελεστές βαρύτητας για τα LUT, τις block RAM και τους ενσωματωμένους πολλαπλασιαστές, αντίστοιχα.

Προφανώς για διατάξεις FPGA με διαφορετικούς συνιστώντες τύπους πόρων, η συνάρτηση κόστους διαφοροποιείται κατάλληλα. Έτσι για την οικογένεια Virtex-4 της Xilinx, η συνάρτηση κόστους διαμορφώνεται ως εξής:

$$Area = 100 - \left(\alpha \cdot (LUT_{max} - nLUT) / LUT_{max} + \beta \cdot (BRAM_{max} - nBRAM) / BRAM_{max} + \gamma \cdot (DSPX_{max} - nDSPX) / DSPX_{max} \right) \quad (3.2)$$

όπου:

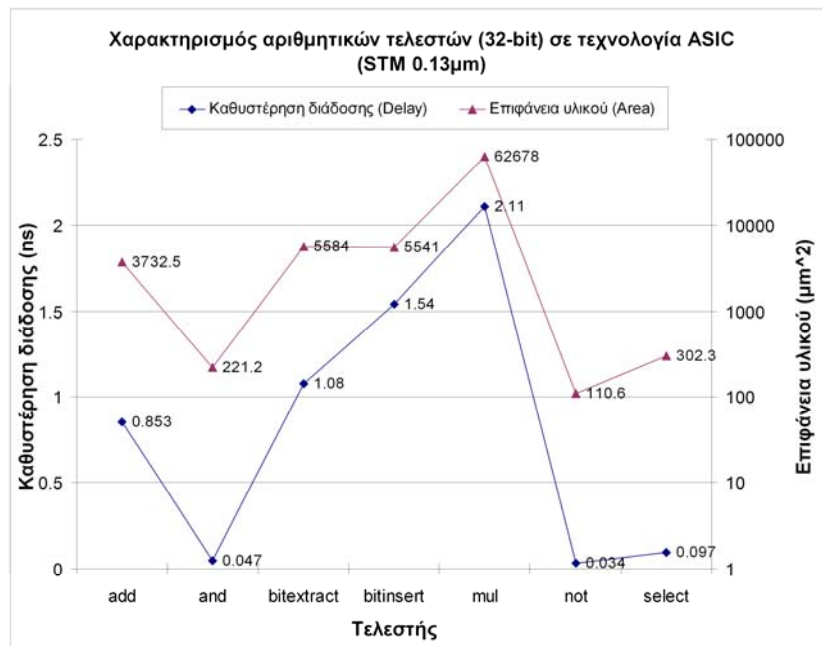
- $nDSPX$, $DSPX_{max}$ ο αριθμός των δομικών μπλοκ ειδικού σκοπού τύπου DSP48, που χρησιμοποιούνται και ο συνολικός αριθμός τους, αντίστοιχα

Οι υπόλοιποι συμβολισμοί χρησιμοποιούνται κατά την εξίσωση (3.1).

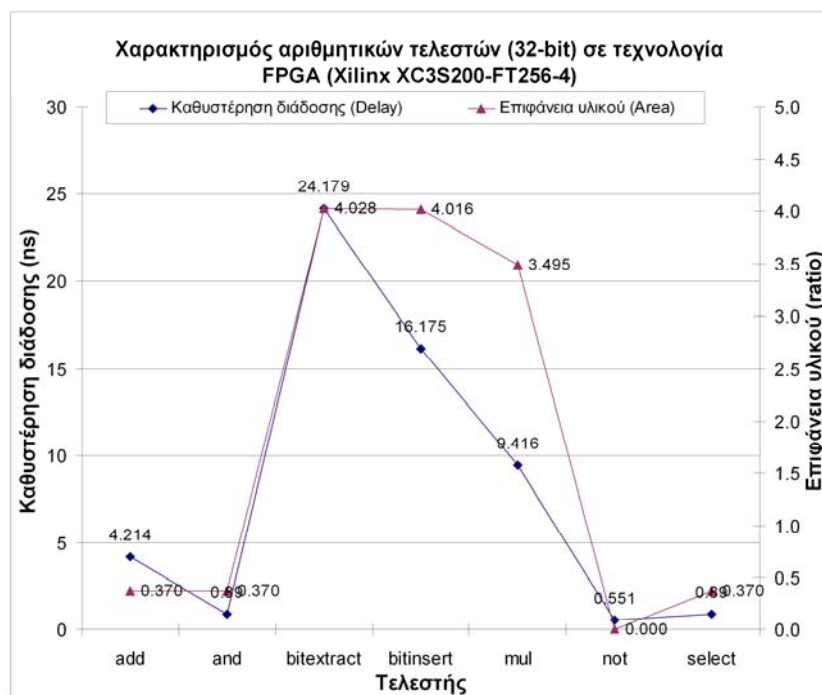
3.1. Χαρακτηρισμός λειτουργικών μονάδων

Στο Σχήμα 3.1 δίνονται οι τιμές καθυστέρησης διάδοσης και επιφάνειας υλικού για ορισμένους τελεστές (add, and, bitextract, bitinsert, mul, not, select) για διεργασία ASIC (Σχήμα 3.1.α) και FPGA (Σχήμα 3.1.β). Και στις δύο περιπτώσεις το θεωρούμενο εύρος bit ισούται με 32.

Τα αποτελέσματα του Σχήματος 3.1 υποδεικνύουν την ανάγκη για προσεκτικό χαρακτηρισμό κάθε στοχευόμενης τεχνολογίας υλοποίησης ξεχωριστά. Συγκεκριμένα, όχι μόνο μεταβάλλονται οι λόγοι των τιμών ανάμεσα σε οποιουδήποτε δύο τελεστές, αλλά αυτό συμβαίνει αλλάζοντας δραματικά και τους συσχετισμούς τους (τη σχετική κατάταξη). Για παράδειγμα, στην τεχνολογία ASIC, ο τελεστής με τη μεγαλύτερη καθυστέρηση διάδοσης είναι ο πολλαπλασιασμός (mul) ο οποίος και μπορεί να επιλεγεί ως ο τελεστής που καθορίζει την περίοδο του ρολογιού του επεξεργαστή, χρησιμοποιείται δε σε διαδικασίες κανονικοποίησης τιμών εντός του YARDstick. Αντίθετα, στο FPGA λόγω του ότι ο τελεστής mul υλοποιείται με χρήση 3 ενσωματωμένων πολλαπλασιαστών (BMULT) είναι ταχύτερος των bitinsert και bitextract. Ανάλογα, με τις ρυθμίσεις του χρήστη, θα μπορούσε στο FPGA να χρησιμοποιηθεί ένας εκ των δύο τελευταίων για τις ρυθμιστικές κανονικοποιήσεις, κάτι που επηρεάζει το χρονισμό των παραγόμενων ειδικών εντολών. Επίσης, ενώ στο ASIC οι λογικοί τελεστές διαφοροποιούνται ως προς την καθυστέρηση διάδοσης, η οποία εν γένει είναι πολύ μικρή, στο FPGA η ελάχιστη καθυστέρηση διάδοσής τους καθορίζεται από την απόκριση του ενός LUT και είναι μεγαλύτερη σε αναλογία.



(α) Τεχνολογία STM 0.13μm (ASIC)



(β) Xilinx FPGA XC3S200 (οικογένεια Spartan-3) σε περίβλημα τύπου FT256 και για διαβάθμιση ταχύτητας (speed grade) -4.

Σχήμα 3.1: Χαρακτηριστικές τιμές καθυστέρησης διάδοσης και επιφάνειας υλικού για ορισμένους αριθμητικούς τελεστές σε διαφορετικές τεχνολογίες υλοποίησης.

Για τις παραπάνω μετρήσεις όπως και για αυτές του Πίνακα 3.1, συντάχθηκαν περιγραφές των τελεστών σε VHDL (RTL επίπεδο) οι οποίες είναι ανεξάρτητες της στοχευόμενης αρχιτεκτονικής. Ιδιαίτερα στα FPGA, υφίστανται σημαντικά περιθώρια βελτιστοποίησης των τελεστών (για κάθε συγκεκριμένη διάταξη ξεχωριστά) σε περιπτώσεις τις οποίες τα υπάρχοντα εργαλεία λογικής σύνθεσης αδυνατούν να συνάγουν από γενικές περιγραφές (inference). Για τα FPGA των σειρών Spartan-3 και Spartan-3E αυτό ισχύει όσον αφορά την

αξιοποίηση του carry-chain σε κάθε δομικό slice, των δομών καταχωρητή ολίσθησης SRL16 αλλά και σε άλλες περιπτώσεις.

Στον Πίνακα 3.1 δίνονται οι χαρακτηριστικές τιμές (delay, area) για όλους τους αριθμητικούς τελεστές. Για στοιχειώδεις εντολές που προσπελαίνουν στοιχεία αποθήκευσης χωρίς υπολογισμούς στο υλικό, οι αντίστοιχες τιμές θεωρούνται ίσες με το μηδέν. Για παράδειγμα, για τις στοιχειώδεις λειτουργίες lod, str, γίνεται προσπέλαση σε μνήμη δεδομένων, η οποία θεωρείται ότι είναι χρονιζόμενη με το ίδιο ρολόι με τον επεξεργαστή και ότι γίνεται χωρίς απώλειες κύκλων λόγω καταστάσεων αναμονής. Αν και μετρήσιμες, αυτές οι καθυστερήσεις θεωρούνται κατά προσέγγιση ίσες με το μηδέν. Αντίθετα, η συνεισφορά του τρόπου διευθυνσιοδότησης στις λειτουργίες αυτές θα υπολογιζόταν κανονικά, εφόσον περιλάμβανε αριθμητικές λειτουργίες.

Πίνακας 3.1: Χαρακτηριστικές τιμές χρονικής καθυστέρησης διάδοσης (delay) και επιφάνειας υλικού (area) για όλους τους αριθμητικούς τελεστές.

(α) Τεχνολογία STM 0.13μm (ASIC)

Τελεστής	Καθυστερήση (ns)	Επιφάνεια (μm ²)
abs	0.778	1301.2
add	0.853	3732.5
and	0.047	221.2
asr	0.681	2512.5
bitextract	1.080	5584
bitinsert	1.540	5541
div	3.604	17902.1
ior	0.081	221.2
lsl	0.911	1781.6
lsr	0.878	1781.6
max	0.863	2533.2
min	0.862	2471
mov	0.000	0.0
mul	2.110	62678
neg	0.788	876.1
not	0.034	110.6
rem	3.692	18192.4
select	0.097	302.3
seq	0.693	644.5
sge	0.903	1140.5
sgt	0.856	1140.5
sle	0.856	1140.5
slt	0.856	1140.5
sne	0.529	644.5
sub	0.879	2738.9
xor	0.120	387.1

(β) Xilinx FPGA XC3S200 (οικογένεια Spartan-3) σε περίβλημα τύπου FT256 και για διαβάθμιση ταχύτητας (speed grade) -4.

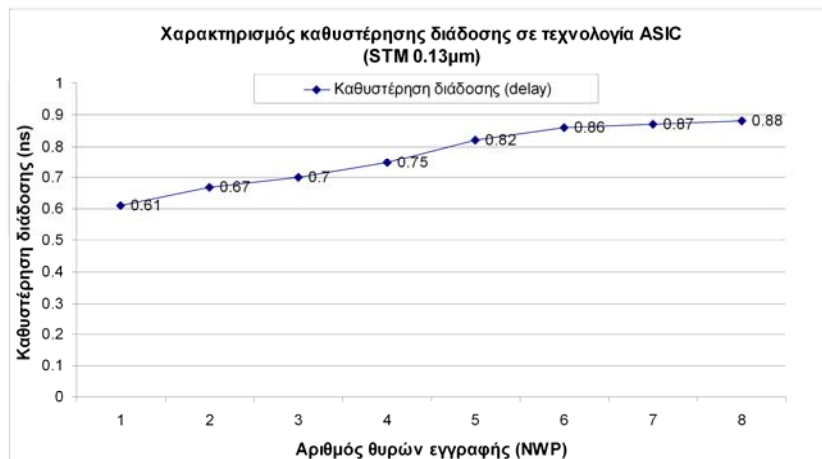
Τελεστής	Καθυστερήση (ns)	Επιφάνεια (0-100% της διάταξης)
abs	5.502	0.36
add	4.214	0.37

and	0.890	0.37
asr	7.524	1.72
bitextract	24.179	4.03
bitinsert	16.175	4.02
div	80.151	4.39
ior	0.890	0.37
lsl	7.223	1.67
lsr	6.323	1.70
max	6.356	0.74
min	6.356	0.74
mov	0.000	0.00
mul	9.416	3.50
neg	3.811	0.00
not	0.551	0.00
rem	84.813	4.76
select	0.890	0.37
seq	2.589	0.19
sge	3.613	0.37
sgt	4.965	0.37
sle	3.613	0.37
slt	4.965	0.37
sne	2.589	0.19
sub	4.214	0.37
xor	0.890	0.37

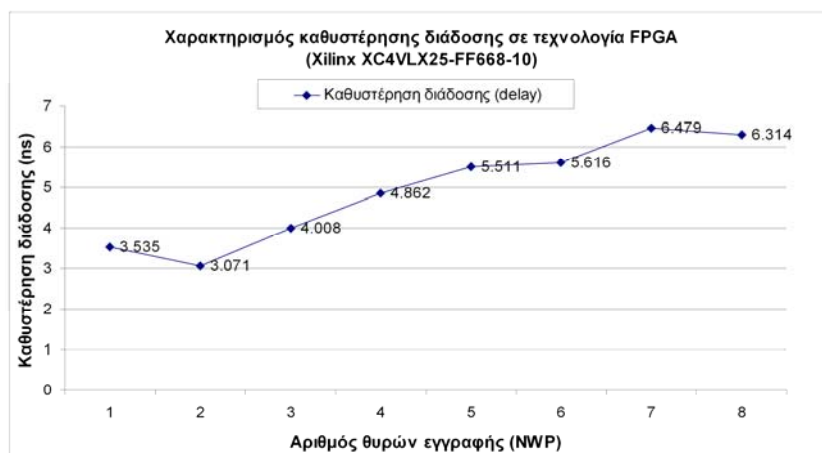
3.2. Χαρακτηρισμός της μονάδας προώθησης δεδομένων

Ιδιαίτερα σημαντικό ρόλο στην ικανότητα κλιμάκωσης των επεξεργασιών ByoRISC ως προς τον μέγιστο αριθμό των υποστηριζόμενων ορισμάτων εισόδου και εξόδου από τις ειδικές εντολές, έχει η μονάδα προώθησης δεδομένων, η οποία ακολουθεί την αρχιτεκτονική SRB. Η μονάδα προώθησης δεδομένων είναι παραμετροποιημένη ως προς τον αριθμό θυρών ανάγνωσης (NRP) και εγγραφής (NWP) ώστε να μπορεί να χρησιμοποιηθεί για οποιεσδήποτε τιμές των παραμέτρων αυτών.

Στο Σχήμα 3.2 δίνονται οι τιμές καθυστέρησης διάδοσης για τη μονάδα προώθησης δεδομένων για τεχνολογία ASIC (Σχήμα 3.2.α) και FPGA (Σχήμα 3.2.β). Στο Σχήμα 3.3 δίνονται αντίστοιχα οι τιμές επιφάνειας υλικού για τεχνολογία ASIC (Σχήμα 3.3.α) και FPGA (Σχήμα 3.3.β). Για την αποτίμηση της επιφάνειας υλικού στο FPGA χρησιμοποιείται η εξίσωση (3.1). Σε όλες τις περιπτώσεις το θεωρούμενο εύρος bit για τις διευθύνσεις καταχωρητών ισούται με 8.

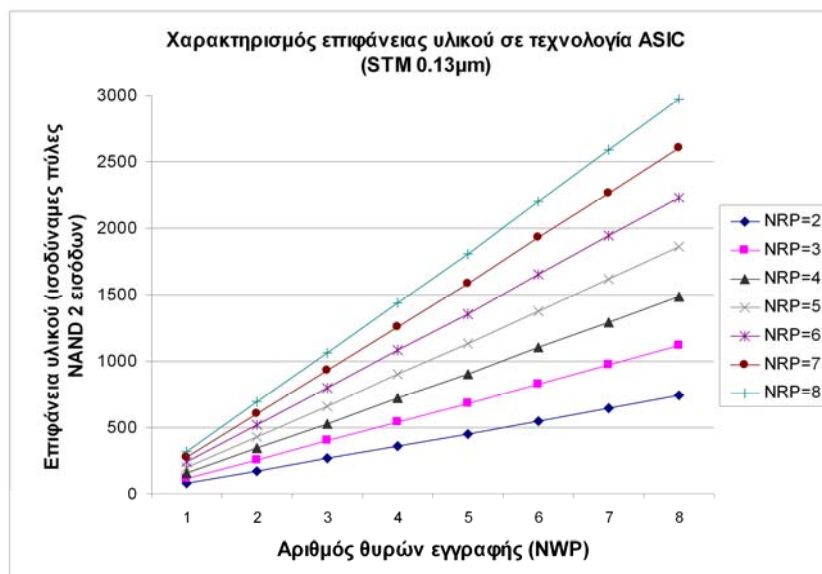


(α) Τεχνολογία STM 0.13μm (ASIC)

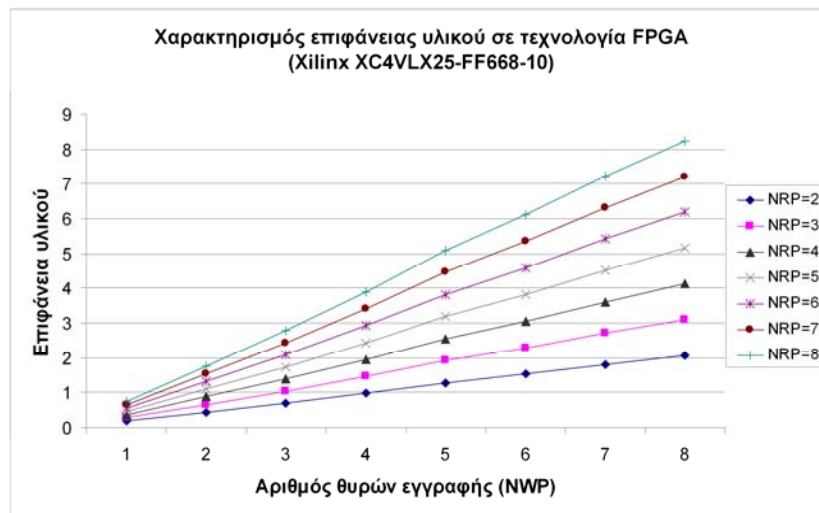


(β) Xilinx FPGA XC3S1500 (Spartan-3) για τη διαβάθμιση χαμηλότερης ταχύτητας.

Σχήμα 3.2: Τιμές καθυστέρησης διάδοσης για τη μονάδα προώθησης δεδομένων των επεξεργαστών ByoRISC σε διαφορετικές τεχνολογίες υλοποίησης.



(α) Τεχνολογία STM 0.13μm (ASIC)



(β) Xilinx FPGA XC3S1500 (Spartan-3) για τη διαβάθμιση χαμηλότερης ταχύτητας.

Σχήμα 3.3: Τιμές επιφάνειας υλικού για τη μονάδα προώθησης δεδομένων των επεξεργαστών ByoRISC σε διαφορετικές τεχνολογίες υλοποίησης.

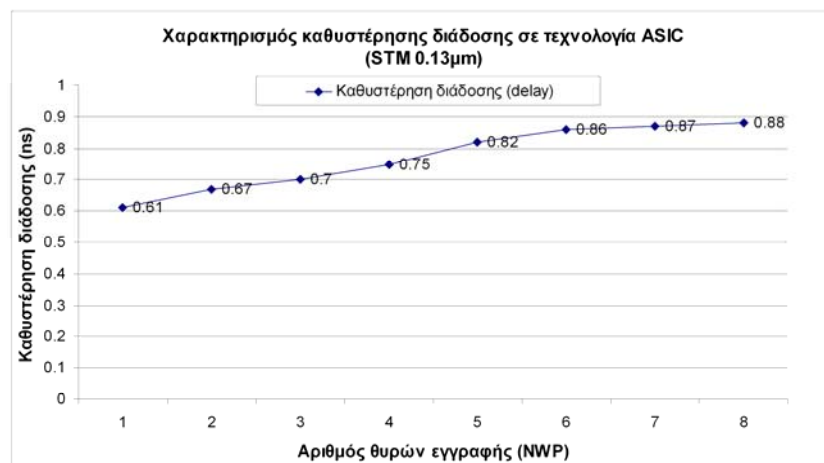
3.3. Χαρακτηρισμός του αρχείου καταχωρητών

Κεντρικό ρόλο στην αρχιτεκτονική των επεξεργαστών ByoRISC έχει το αρχείο καταχωρητών το οποίο για την υποστήριξη ειδικών εντολών με μοτίβα τύπου MIMO πρέπει να είναι πολυθυρικό (multi-port). Σε μικροαρχιτεκτονικό επίπεδο υπάρχουν διαφορετικοί τρόποι για τη σύνθεση ενός πολυθυρικού αρχείου καταχωρητών οι οποίοι και αναφέρονται διεξοδικά στην ενότητα 2.2.4. Όπως και για τη μονάδα προώθησης δεδομένων, η οποία είναι συνυφασμένη με τις ανάγκες του αρχείου καταχωρητών σε θύρες ανάγνωσης και εγγραφής, το αρχείο καταχωρητών είναι παραμετροποιημένο ως προς τον αριθμό θυρών ανάγνωσης (NRP) και εγγραφής (NWP) ώστε να μπορεί να χρησιμοποιηθεί για οποιοσδήποτε τιμές των παραμέτρων αυτών. Άλλες παράμετροι του αρχείου καταχωρητών είναι το εύρος διεύθυνσης καταχωρητών (RAW) και ο αριθμός καταχωρητών (Number of Registers: NR).

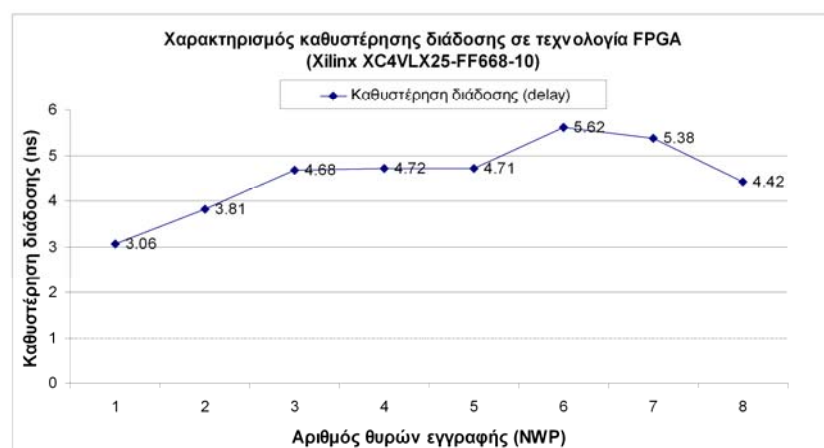
Σε τεχνολογίες ASIC δεν υφίσταται θεμελιώδης περιορισμός για τις παραμέτρους του αρχείου καταχωρητών, αν και χρειάζεται να ληφθεί υπόψη το γεγονός της πολυωνυμικής εξάρτησης της κατανάλωσης ισχύος ως προς τον αριθμό των θυρών ανάγνωσης-εγγραφής [Rix99]. Στην τεχνολογία FPGA, πρακτικά ο κύριος περιορισμός οφείλεται στο πλήθος των block RAM και τον αριθμό των θυρών ανάγνωσης/εγγραφής των, που είναι διαθέσιμες σε ένα τέτοιο ολοκληρωμένο. Αν WL και DW είναι το μήκος λέξης και το εύρος δεδομένων του αρχείου καταχωρητών και των block RAM, αντίστοιχα, η υλοποίηση ενός αρχείου καταχωρητών με M θύρες ανάγνωσης και N θύρες εγγραφής απαιτεί $\lceil WL / DW \rceil \times M \times N$ BRAMs [Sag07], καθώς κάθε block RAM διαθέτει μία θύρα ανάγνωσης και μία εγγραφής. Για τους επεξεργαστές ByoRISC αναπτύχθηκαν δύο διαφορετικά παραμετρικά μοντέλα αρχείων καταχωρητών με επιλέξιμο αριθμό θυρών ανάγνωσης/εγγραφής και σχεδιάστηκαν σε VHDL: ένα για την περίπτωση στόχευσης τεχνολογιών ASIC και ένα σύμφωνα με την περιγραφή του [Sag07] για τη στόχευση τεχνολογίας FPGA.

Στο Σχήμα 3.4 δίνονται οι τιμές καθυστέρησης διάδοσης για το αρχείο καταχωρητών δεδομένων για τεχνολογία ASIC (Σχήμα 3.4.α) και FPGA (Σχήμα 3.4.β). Η διάταξη FPGA που χρησιμοποιήθηκε για τις εκτιμήσεις είναι η XC4VLX25-FF668-10 από την οικογένεια Virtex-4 καθώς καλύπτει μέχρι και την περίπτωση υλοποίησης αρχείου καταχωρητών με 8 θύρες ανάγνωσης και 8 εγγραφής. Στο Σχήμα 3.5 δίνονται αντίστοιχα οι τιμές επιφάνειας υλικού για τις τεχνολογίες ASIC (Σχήμα 3.5.α) και FPGA (Σχήμα 3.5.β). Για την αποτίμηση της επιφάνειας υλικού στο FPGA χρησιμοποιείται η εξίσωση (3.2). Σε όλες τις περιπτώσεις το

θεωρούμενο εύρος bit για τις διευθύνσεις καταχωρητών ισούται με 5 ($RAW=5$) και ο αριθμός των καταχωρητών είναι 32 ($NR = 2^{RAW} = 32$).

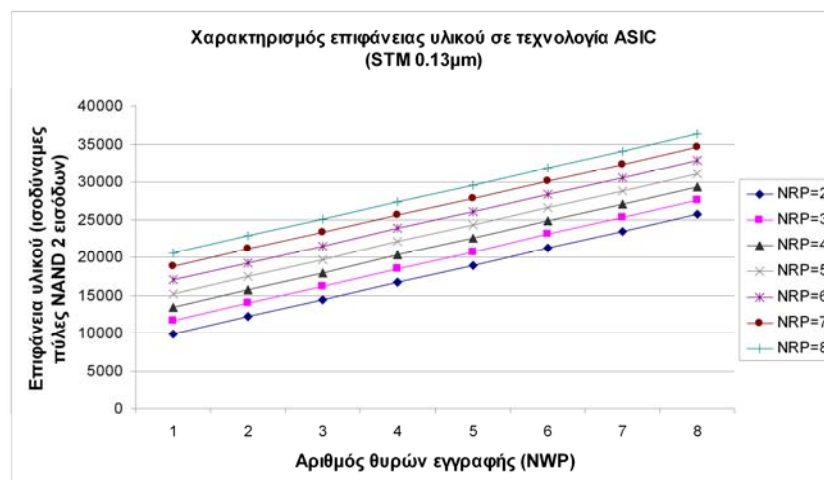


(α) Τεχνολογία STM 0.13μm (ASIC)

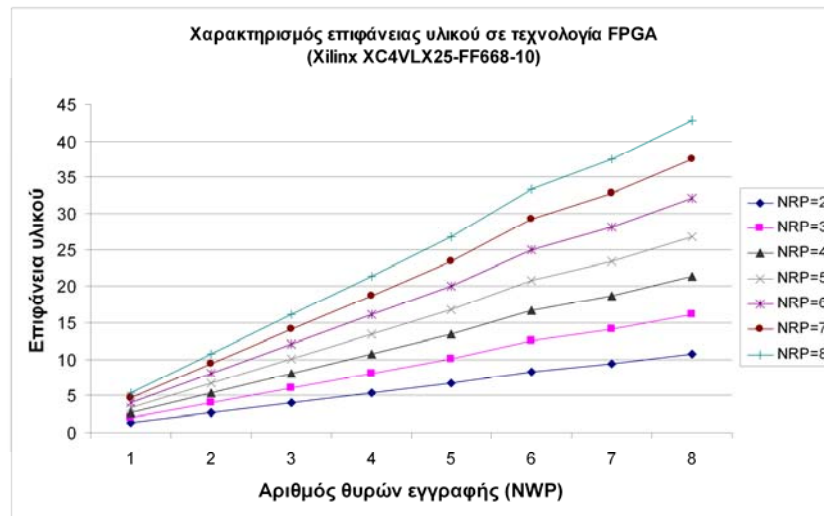


(β) Xilinx FPGA XC4VLX25 (Virtex-4) για τη διαβάθμιση χαμηλότερης ταχύτητας.

Σχήμα 3.4: Τιμές καθυστέρησης διάδοσης για το ακέραιο αρχείο καταχωρητών των επεξεργαστών ByoRISC σε διαφορετικές τεχνολογίες υλοποίησης.



(α) Τεχνολογία STM 0.13μm (ASIC)



(β) Xilinx FPGA XC4VLX25 (Virtex-4) για τη διαβάθμιση χαμηλότερης ταχύτητας.

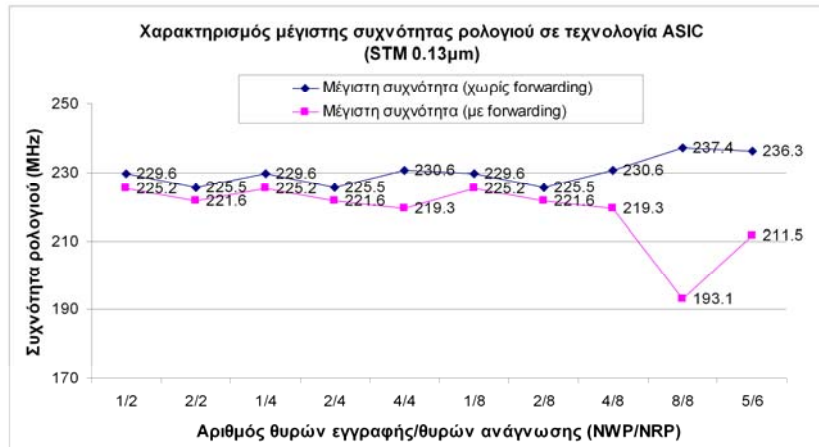
Σχήμα 3.5: Τιμές επιφάνειας υλικού για το ακέραιο αρχείο καταχωρητών των επεξεργαστών ByoRISC σε διαφορετικές τεχνολογίες υλοποίησης.

3.4. Χαρακτηρισμός ενός επεξεργαστή ByoRISC

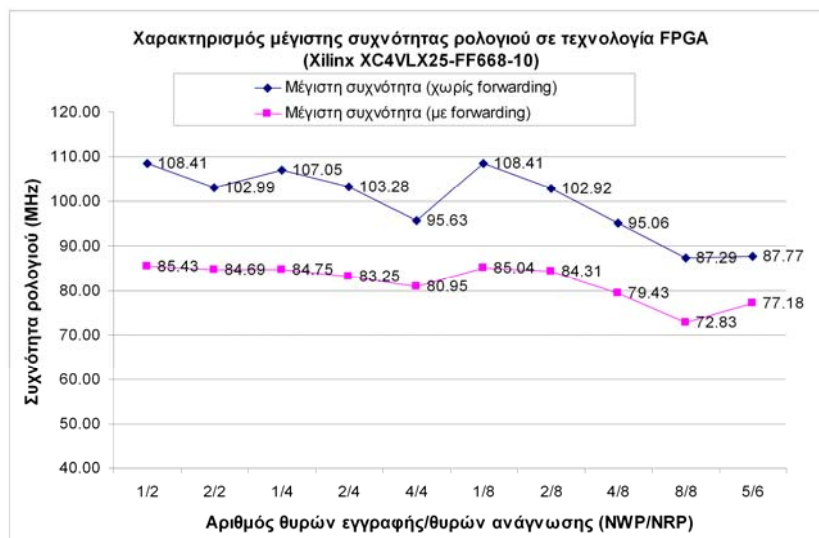
Στο σημείο αυτό μπορούμε να χαρακτηρίσουμε έναν τυπικό επεξεργαστή ByoRISC, ο οποίος έχει υλοποιηθεί σε γλώσσα VHDL, όσον αφορά το κρίσιμο μονοπάτι καθυστέρησης και την επιφάνεια υλικού. Ο επεξεργαστής ByoRISC του παραδείγματος έχει ρυθμιστεί σύμφωνα με τις εξής τιμές παραμέτρων (ονοματολογία σύμφωνα με τον Πίνακα 2.4) για τη διαδικασία της λογικής σύνθεσης:

- HAVE_CI, HAVE_COP, OPTIONAL_LS, OPTIONAL_MUL, OPTIONAL_SHIFT, OPTIONAL_CTI, OPTIONAL_LOGIC ίσα με 1.
- BRANCH_EARLY, OPTIONAL_CVT, OPTIONAL_DIV, OPTIONAL_SET ίσα με 0.
- IMEMSIZE και DMEMSIZE είναι ίσα με 8KB.
- OW, RAW είναι ίσα με 8.
- SHIFTER_TOPOLOGY έχει την τιμή "FUNNEL".
- MULT_TOPOLOGY έχει την τιμή "MULT32X32-PIPELINED" και επιλέγει μία τοπολογία πολλαπλασιαστή των 32-bit με διοχέτευση 4 εσωτερικών σταδίων.

Η παρακάτω διερεύνηση πραγματοποιείται για τις διαφορετικές τιμές των ελεύθερων παραμέτρων: FORWARDING (0, 1), NRP (2, 4, 8), και NWP (1, 2, 4, 8) για $NRP > NWP$.

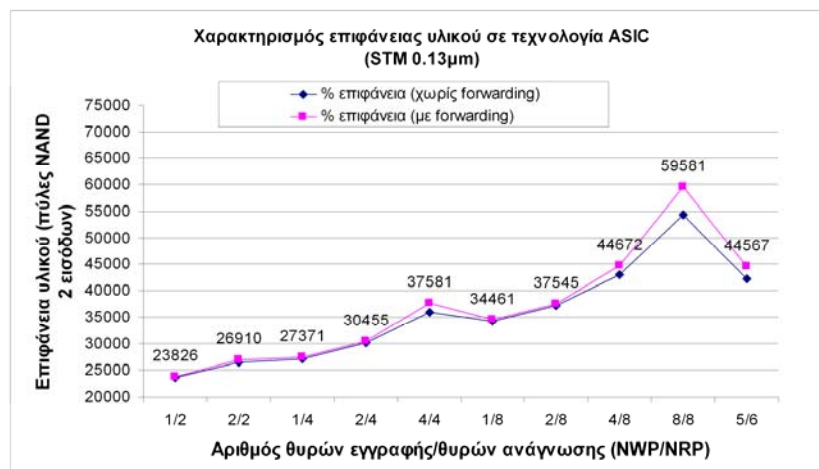


(α) Τεχνολογία STM 0.13μm (ASIC)

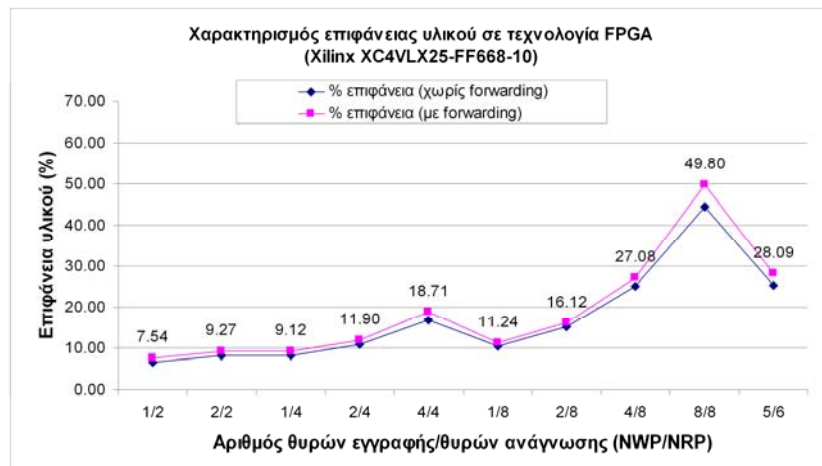


(β) Xilinx FPGA XC4VLX25 (Virtex-4) για τη διαβάθμιση χαμηλότερης ταχύτητας.

Σχήμα 3.6: Τιμές μέγιστης συχνότητας ρολογιού (σε MHz) για διαφορετικές ρυθμίσεις ενός επεξεργαστή ByoRISC σε διαφορετικές τεχνολογίες υλοποίησης.



(α) Τεχνολογία STM 0.13μm (ASIC)



(β) Xilinx FPGA XC4VLX25 (Virtex-4) για τη διαβάθμιση χαμηλότερης ταχύτητας.

Σχήμα 3.7: Τιμές επιφάνειας υλικού (% αναλογία) για διαφορετικές ρυθμίσεις ενός επεξεργαστή ByoRISC σε διαφορετικές τεχνολογίες υλοποίησης. Οι αναγραφόμενες τιμές αντιστοιχούν στη σειρά “% επιφάνεια (με forwarding)”.

Στο Σχήμα 3.6 δίνονται οι τιμές καθυστέρησης διάδοσης για το αρχείο καταχωρητών δεδομένων για ASIC (Σχήμα 3.6.α) και FPGA (Σχήμα 3.6.β) τεχνολογία. Στο Σχήμα 3.7 δίνονται αντίστοιχα οι τιμές επιφάνειας υλικού για ASIC (Σχήμα 3.7.α) και FPGA (Σχήμα 3.7.β) τεχνολογία. Για την αποτίμηση της επιφάνειας υλικού στο FPGA χρησιμοποιείται η εξίσωση (3.2).

Από τα παραπάνω σχήματα διαπιστώνεται ότι, ο αριθμός θυρών ανάγνωσης/εγγραφής κλιμακώνει την απαιτούμενη επιφάνεια σε ολοκληρωμένο τύπου FPGA κατά περίπου μία τάξη μεγέθους και συγκεκριμένα από το 6 έως το 50%. Για το ASIC, εάν δεν συνυπολογίσουμε την επιφάνεια του αρχείου καταχωρητών, το εύρος αυτής της κλιμάκωσης για την επιφάνεια είναι περίπου 3 φορές, από 18k σε 60k περίπου ισοδύναμες πύλες NAND 2 εισόδων. Επίσης, η ύπαρξη δικτύωματος πλήρους προώθησης δεδομένων, συντελεί στη μείωση της μέγιστης επιτυγχανόμενης συχνότητας χρονισμού κατά 17.9%. Σε αντιπαράβολή, η επιβάρυνση αυτή για την ASIC διεργασία είναι μόνο 5%. Απομονώνοντας επίσης την διαφορά ανάμεσα στην περίπτωση με τις λιγότερες και περισσότερες θύρες (1/2 και 8/8), είναι 19% και 9.7%, για το FPGA, χωρίς, και με τη χρήση μονάδας προώθησης δεδομένων, αντίστοιχα. Αυτές οι επιβαρύνσεις είναι αρκετά έως πολύ μικρές σε σχέση με την κλιμάκωση των επεξεργαστών σε επιφάνεια. Αν και αυτό δεν τέθηκε ως κρίσιμος στόχος της μεθοδολογίας, από τη μελέτη των παραπάνω αποτελεσμάτων, αλλά και για τις μεμονωμένες μονάδες των προηγούμενων ενοτήτων αυτού του κεφαλαίου, και κρίνοντας με βάση την υπάρχουσα τεχνική και τους περιορισμούς τόσο της δομής των FPGA αλλά και των εργαλείων σύνθεσης, μπορεί να ειπωθεί ότι η περιγραφή υλικού των επεξεργαστών ByoRISC είναι πραγματικά πολύ υψηλών επιδόσεων. Αυτό καθιστά το όλο εγχείρημα του σχεδιασμού μιας βελτιστοποιήσιμης αρχιτεκτονικής ASIP από μηδενικής βάσης, επιτυχές.

4. ΑΝΑΦΟΡΕΣ

[AMBA] AMBA overview. <http://www.arm.com/products/solutions/AMBAHomePage.html>

[ARM] ARM homepage. <http://www.arm.com>

[ASIPmeister] ASIP Meister Application Specific Instruction-set Processor Design System. <http://www.eda-meister.org/asip-meister/>

[ASIP-Solutions] ASIP Solutions homepage. <http://www.asip-solutions.com>

[ASPIDA] ASPIDA Asynchronous DLX Processor homepage. <http://www.ics.forth.gr/carv/async/>

[Bene64] V.E. Benes, "Optimal Rearrangeable Multistage Connecting Networks," Bell System Technical Journal, Vol. 43, pp. 1641-1656, 1964.

[Cam01] F. Campi, R. Canegallo, and R. Guerrieri, "IP-reusable 32-bit VLIW RISC core," Proceedings of the 27th European Solid-State Circuits Conference, pp. 456-459, Villach, Austria, Sep. 2001.

[clogvhd] CLooGVHDL. <http://trappist.elis.ugent.be/~hmdevos/CLooGVHDL/index.html>

[COFFEE] The COFFEE RISC Core homepage. <http://www.cs.tut.fi/~coffee/>

[Gaisler] Gaisler research. <http://www.gaisler.com>

[Hen96] J.L. Hennessy and D.A. Patterson, Computer Architecture: a Quantitative Approach, 2nd edition, Morgan Kaufmann Publishers, San Francisco, CA, 1996.

[Itoh00] M. Itoh, S. Higaki, J. Sato, A. Shiomi, Y. Takeuchi, A. Kitajima, and M. Imai, "PEAS-III: An ASIP design environment," Proceedings of the International Conference on Computer Design, pp. 430-436, Austin, Texas, USA, Sep. 2000.

[Jon06] A.K. Jones, R. Hoare, D. Kusic, G. Mehta, J. Fazekas, and J. Foster, "Reducing power while increasing performance with SuperCISC," ACM Transactions on Embedded Computing Systems, Vol. 5, No. 3, pp. 658-686, August 2006.

[Kav05] N. Kavvadias and S. Nikolaidis, "Zero-overhead loop controller that implements multimedia algorithms," IEE Proceedings - Computers and Digital Techniques, Vol. 152, No. 4, pp. 517-526, July 2005.

[Kav06] N. Kavvadias and S. Nikolaidis, "A portable specification of zero-overhead looping control hardware applied to embedded processors," in Proceedings of the 2006 IEEE International Symposium on Circuits and Systems, pp. 1599-1602, Kos, Greece, May 21-24, 2006.

[Kav08] N. Kavvadias and S. Nikolaidis, "Elimination of overhead operations in complex loop structures for embedded microprocessors," IEEE Transactions on Computers, Vol. 57, No. 2, pp. 200-214, February 2008.

[Knu99] Donald E. Knuth, MMIXware: A RISC computer for the third millennium, Springer-Verlag, 1999.

[Lattice] Lattice Semiconductor. <http://www.latticesemi.com>

[LeeR01] R.B. Lee, Z. Shi and X. Yang, "Efficient permutation instructions for fast software cryptography," IEEE Micro, Vol. 21, No. 6, pp. 56-69, Nov.-Dec. 2001.

[MicroBlaze] MicroBlaze Soft Processor Core.

http://www.xilinx.com/products/design_resources/proc_central/microblaze.htm

[MIPS] MIPS Technologies Inc.. <http://www.mips.com>

[mlite] Plasma – most MIPS-I™ opcodes overview. <http://www.opencores.org/projects.cgi/web/mips/overview>

[Nios-II] Altera Nios-II home page. <http://www.altera.com/products/ip/processors/nios2/>

[OpenSPARC] OpenSPARC homepage. <http://opensparc.sunsource.net>

[Rix99] S. Rixner, W. Dally, B. Khailany, P. Mattson, U. Kapasi, and J. Owens, "Register organization for media processing," Proceedings of the 6th International Symposium on High Performance Computer Architecture, pp. 375-386, Toulouse, France, Jan. 2000.

[SABRE] SABRE RISC processor example. <http://www.celoxica.com>

[Sag07] Mazen A. R. Saghir and Rawan Naous, "A Configurable Multi-Ported Register File Architecture for Soft Processor Cores," Proceedings of the 2007 International Workshop on Applied Reconfigurable Computing (ARC 2007), pp. 14-25, Mangaratiba, Rio de Janeiro, Brazil, March 27-29, 2007.

[SimpCon] SimpCon homepage. <http://www.opencores.org/projects.cgi/web/simpcon/overview>

[SPARC] SPARC International, Inc. <http://www.sparc.org>



[Tensilica] Xtensa configurable processors. <http://www.tensilica.com>