

Νικόλαος Κ. Καββαδίας

Προσωπικά στοιχεία

Ημερομηνία γέννησης	29 Απριλίου 1977
Τόπος γέννησης	Λαμία Φθιώτιδας
Τόπος διαμονής	Λαμία Φθιώτιδας
Διεύθυνση κατοικίας	Κορνάρου 12, Νέα Άμπλιανη, Λαμία Φθιώτιδας, TK 35100
Τηλέφωνο (σταθερό)	2231043765
Τηλέφωνο (κινητό)	6972673106
E-mail	nkavvadias@ajaxcompilers.com nikos@nkavvadias.com nikolaos.kavvadias@gmail.com nkavv@uop.gr
Δικτυακοί τόποι	http://www.ajaxcompilers.com http://www.nkavvadias.com/
Ιστοσελίδα LinkedIn	http://gr.linkedin.com/pub/nikolaos-kavvadias/16/811/358
Skype ID	nikolaos.kavvadias
Twitter ID	nkkav
Στρατιωτικές υποχρεώσεις	Εκπληρωμένες

Επάγγελμα

Συνιδρυτής και τεχνικός Διευθυντής της Ajax Compilers N. KABBADIAS ΚΑΙ ΣΙΑ ΕΕ Φυσικός – Ραδιοηλεκτρολόγος, Επιστημονικός Ερευνητής, Διδάκτωρ Τμήματος Φυσικής Α.Π.Θ.

Εργασιακή εμπειρία

01/2012-σήμερα	Συνιδρυτής και τεχνικός διευθυντής της Ajax Compilers , μιας ελληνικής startup εταιρείας υψηλής τεχνολογίας που παρέχει τεχνολογικές λύσεις (προϊόντα και υπηρεσίες) σε θέματα μεταγλώττισης υλικού και λογισμικού (hardware and software compilation technologies and services).
09/2011-σήμερα	Επιστημονικός ερευνητής στο ερευνητικό πρόγραμμα FP7-ICT ALMA : «Architecture oriented parallelization for high performance embedded Multicore systems using scilAb». <ul style="list-style-type: none">Αναπτύσσει το εργαλείο aprof, για την εκτίμηση επιδόσεων ενσωματωμένων εφαρμογών και το εργαλείο hlo, έναν βελτιστοποιητή υψηλού επιπέδου για τη γλώσσα προγραμματισμού ANSI/ISO C.
01/2010-12/2012	Επιστημονικός ερευνητής στο ερευνητικό πρόγραμμα FP7-IST ENOSYS : «intEgrated modelliNg and synthesis tOol flow for embedded SYStems design». <ul style="list-style-type: none">Ανέπτυξε το εργαλείο txloopt στη γλώσσα προγραμματισμού TXL, ένα βελτιστοποιητή πηγαίου κώδικα για αριθμητικές βελτιστοποιήσεις και βελτιστοποιήσεις βρόχων σε προγράμματα ANSI/ISO C.
09/2008-06/2012	Εντεταλμένος λέκτορας (Π.Δ. 407/80) στο Τμήμα Επιστήμης και Τεχνολογίας Υπολογιστών του Πανεπιστημίου Πελοποννήσου.

	<ul style="list-style-type: none"> • Διδασκαλία των εξής μαθημάτων: <ol style="list-style-type: none"> 1) Μεταγλωττιστές I (2011-2012) 2) Αρχιτεκτονική Υπολογιστών II (2011-2012) 3) Γλώσσες Περιγραφής Υλικού II (VHDL) (2008-2009) 4) Μεταγλωττιστές II (2008-2011) 5) Προηγμένα Θέματα Θεωρητικής Πληροφορικής (Μεταπτυχιακό Πρόγραμμα Σπουδών, 2009-2010) 6) Σχεδίαση Ψηφιακών Κυκλωμάτων (2009-2011) 7) Γλώσσες Περιγραφής Υλικού I (Verilog HDL) (2009-2012)
05/2007-06/2007, 02/2008	Ανάπτυξη και διδασκαλία εργαστηριακών ασκήσεων για το Εργαστήριο Ψηφιακών Συστημάτων του Μεταπτυχιακού Προγράμματος Ηλεκτρονικής Φυσικής/Ραδιοηλεκτρολογίας.
01/2005-12/2007	Νέος ερευνητής στο ερευνητικό πρόγραμμα 03ΕΔ730 ΠΕΝΕΔ 2003 με θέμα: «Ανάπτυξη μεθοδολογίας σχεδιασμού βέλτιστων επεξεργαστών ειδικού σκοπού».
09/2001-08/2003	Εργαστηριακός βοηθός στο Εργαστήριο Ηλεκτρονικής του Τμήματος Φυσικής του Α.Π.Θ.
09/2001-02/2003	Επιστημονικός συνεργάτης στο ερευνητικό πρόγραμμα IST-30093 EASY: «Energy Aware System-on-Chip Design of the HIPERLAN/2 Standard».
08/2000-07/2001	Επιστημονικός συνεργάτης στο ερευνητικό πρόγραμμα ΕΔ501 ΠΕΝΕΔ'99: «Μεθοδολογία Διαχείρισης Μνήμης για Πραγματικού Χρόνου και Χαμηλής Κατανάλωσης Ισχύος Ενσωματωμένα Συστήματα Πολυμέσων».

Σπουδές

03/2003-05/2008	Υποψήφιος διδάκτορας στο Τμήμα Φυσικής του Α.Π.Θ. με θέμα: «Ανάπτυξη μεθοδολογίας σχεδιασμού επεξεργαστών ειδικού σκοπού». Ημερομηνία απόκτησης διδακτορικού τίτλου: 30/06/2008 (υπερασπίστηκε επιτυχώς τη διατριβή του στις 08/05/2008).
1999-2002	Μεταπτυχιακός Τίτλος Ειδίκευσης στη Ραδιοηλεκτρολογία – Κατεύθυνση Ηλεκτρονικής από το Α.Π.Θ.. Βαθμός: 9.41 Διπλωματική εργασία: «Ανάπτυξη και ψηφιακός σχεδιασμός παραμετρικών αρχιτεκτονικών για την επεξεργασία πολυμέσων».
1995-1999	Πτυχίο Φυσικού από το Αριστοτέλειο Πανεπιστήμιο της Θεσσαλονίκης. Βαθμός: 8.22 Πτυχιακή εργασία: «Μελέτη της Δραστηριότητας Μεταβάσεων σε Εναλλακτικές Αρχιτεκτονικές Ψηφιακών Πολλαπλασιαστών – Ψηφιακός Σχεδιασμός».

Γνώσεις/Δεξιότητες

Γλώσσες προγραμματισμού	C (άριστη γνώση), C++ (καλή γνώση), Pascal, Tcl/Tk, TXL, HTML, XML.
Γλώσσες περιγραφής υλικού (HDLs) και αρχιτεκτονικής	Verilog HDL (άριστη γνώση, 15 έτη εμπειρίας), VHDL (άριστη γνώση, 14 έτη εμπειρίας), SystemC, LISA 2.0, ArchC.

(ADLs)	
Γλώσσες συμβολομεταφραστή	ARMv4 (ARM7TDMI), MIPS-I (MIPS R3000), PicoBlaze (KCPSM3), επεξεργαστών ειδικού σκοπού σχεδιασμένων από τον ίδιο.
Εργαλεία ανάπτυξης εφαρμογών	GCC, lex/flex, yacc/bison, binutils, awk, bash, MS Visual C++ 6.0, LANCE compiler, SUIF/MachSUIF, LCC, OLIVE code selector, newlib, GDB, GOLD Parser Builder, ARM SDT, ARM Developer Suite, Graphviz, VCG, περιβάλλον TXL, SALTO, Boost libraries, διάφορα εργαλεία ανοικτού κώδικα.
Εργαλεία σχεδίασης ηλεκτρονικών κυκλωμάτων	GHDL, Xilinx ISE, GTKwave, Modelsim, Icarus Verilog, Aldec Active-HDL, VHDSimili, Synplify ASIC, Mentor LeonardoSpectrum, SPICE (PSPICE).
Αναπτυξιακά συστήματα (development boards)	Spartan-3 Starter Kit (Xilinx FPGA XC3S200), Spartan-3E Starter Kit (Xilinx FPGA XC3S500E), Spartan-3AN Starter Kit (Xilinx FPGA XC3S700AN), ARM Evaluator και ARM Integrator (ARM7TDMI), Altera Nios-II Development Kit, Stratix-II edition.
Λειτουργικά συστήματα	Fedora 8, Linux Mandrake 7.0-9.1, Linux RedHat 7.3 και 9.0, Linux Ubuntu 11.10-12.04 LTS, WinXP/Cygnwin, Microsoft Windows 95/98/2000/XP/7.
Εφαρμογές αυτοματισμού γραφείου	MS Office, MS Visio, OpenOffice/LibreOffice, Kingsoft Office, Virtual PC, VMware, LaTeX2e (MikTeX), TeXmaker.

Ξένες γλώσσες

Αγγλικά	First Certificate in English (LOWER). Εμπειρία στη συγγραφή πλήθους ερευνητικών ανακοινώσεων, δημοσιεύσεων και τεχνικών αναφορών (όπως για περιοδικά IEEE) στην Αγγλική γλώσσα.
----------------	---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

Διακρίσεις – Βραβεία – Λοιπά

2002-σήμερα	95 ετεροαναφορές στο επιστημονικό του έργο. (h-index = 6)
2005-σήμερα	Κριτής σε διεθνή επιστημονικά περιοδικά και συνέδρια: <ul style="list-style-type: none"> • ACM Transactions on Reconfigurable Technology and Systems • ACM Transactions on Embedded Computing Systems • IEEE Transactions on VLSI • IET Nano & Micro Letters • IET Science, Measurement & Technology • Elsevier Integration, the VLSI Journal • Elsevier Journal of Systems Architecture • Journal of Embedded Computing • Design and Test in Europe Conference (DATE), 2005-2008 • IFIP/IEEE VLSI-SoC (2008), ISVLSI (2010), ICECS (2010-2011), FPL (2010-2013), AHS (2011-2013), ARC (2011), ESTIMEDIA (2011)
2011	Ανακοίνωση άγνωστης μαθηματικής ακολουθίας στη βάση δεδομένων OEIS (Online Encyclopedia of Integer Sequences) <ul style="list-style-type: none"> • Αριθμός γραμμικών επεκτάσεων για πλέγματα Young-Fibonacci κατά αύξουσα κατάταξη (A180962): http://oeis.org/A180962
2004	Υποτροφία αριστείας της Επιτροπής Ερευνών του Αριστοτέλειου

Πανεπιστημίου Θεσσαλονίκης για το έτος 2004.	
1999-2000	1 ^η θέση και αντίστοιχο οικονομικό βραβείο για την ολοκλήρωση όλων των μαθημάτων του 1 ^{ου} έτους με την υψηλότερη βαθμολογία ανάμεσα στους φοιτητές των μεταπτυχιακών τμημάτων του τμήματος Φυσικής.
10/1999	1 ^η θέση εισαγωγής στο Μεταπτυχιακό Τμήμα Ραδιοηλεκτρολογίας του Τμήματος Φυσικής.

Εμπορικά προϊόντα, διαθέσιμα στην αγορά, που αναπτύχθηκαν από τον ίδιο

1. HercuLeS

Το πλήρως αυτόματο εργαλείο σύνθεσης υψηλού επιπέδου (High Level Synthesis) **HercuLeS** (αναφορές [B20,B25,B26]) για τη γέννηση μη-προγραμματιζόμενων επεξεργαστών από περιγραφή σε διαδικαστική γλώσσα προγραμματισμού. Το εργαλείο HercuLeS δέχεται ως είσοδο προγράμματα στη γλώσσα ANSI C και στη συμβολική γλώσσα (assembly) NAC (N-Address Code) και παράγει ως έξοδο μη-προγραμματιζόμενο επεξεργαστή της μορφής FSM (Finite-State Machine with Datapath) και ένα αρχείο ελέγχου (testbench) για τον αυτόματο έλεγχο ορθής λειτουργίας του. Ο παραγόμενος επεξεργαστής είναι συντεταγμένος σε γενική, μεταφερτή VHDL και είναι συνθέσιμος και υλοποιήσιμος σε ολοκληρωμένα τύπου FPGA (Xilinx, Altera).

Άδειες χρήσης του HercuLeS πωλούνται από την Ajax Compilers: <http://www.ajaxcompilers.com/>
Περισσότερες τεχνικές πληροφορίες για το HercuLeS: <http://www.nkavvadias.com/hercules/>

2. mprfgen

Γεννήτρια αρχιτεκτονικών μνήμης πολλαπλών θυρών εισόδου και εξόδου (multi-port memory generator) που μπορεί να χρησιμοποιηθεί για τη σχεδίαση ψηφιακών συστημάτων σε VHDL.

Το εργαλείο είναι διαθέσιμο από την Ajax Compilers: <http://www.ajaxcompilers.com/>

3. llvmparse

Η διανομή llvmparse αποτελεί μία συλλογή από αυτόνομους, μεταφερτούς συντακτικούς αναλυτές για την κειμενική ενδιάμεση αναπαράσταση του μεταγλωττιστή LLVM. Συμπεριλαμβάνονται συντακτικοί αναλυτές σε flex/bison και σε TXL.

4. xmodz

Η συλλογή xmodz περιλαμβάνει πολύ γρήγορες υλοποιήσεις του υπολογισμού του ακέραιου υπολοίπου σε μορφή ψηφιακού κυκλώματος (VHDL IP). Ο υπολογισμός υπολοίπου (ή modulo reduction) χρησιμοποιείται στην παραγωγή ψευδοτυχαίων αριθμών και σε κρυπτογραφικές εφαρμογές.

5. loopgen

Η συλλογή LOOPGEN περιλαμβάνει τρεις εναλλακτικές αρχιτεκτονικές (σε επίπεδο δομής, μεταφοράς καταχωρητή και συμπεριφοράς) για την υλοποίηση εμφωλευμένων δομών βρόχου στο υλικό (αναφορά [B18]).

Τα προϊόντα llvmparse, xmodz and loopgen είναι διαθέσιμα από το ηλεκτρονικό κατάστημα: <http://nkavvadias.com/eshop>

Πρωτότυπα εργαλεία που αναπτύχθηκαν από τον ίδιο

- Το πρωτότυπο εργαλείο YARDstick (αναφορά [B16]) για την αυτοματοποίηση της σχεδίασης επεξεργαστών ειδικού σκοπού. Το YARDstick επιτυγχάνει τη γέννηση και επιλογή ειδικών εντολών και των αντίστοιχων λειτουργικών μονάδων, εκτίμηση επιδόσεων των στοχευόμενων εφαρμογών και επισκόπηση εφαρμογής στο επίπεδο ενδιάμεσης αναπαράστασης μεταγλωττιστή.
Ιστοσελίδα: <http://www.nkavvadias.com/yardstick/index.html>

- Ανάπτυξη και σχεδιασμός της οικογένειας επεξεργαστών ειδικού σκοπού **ByoRISC** (αναφορές [A8, B17]). Οι επεξεργαστές ByoRISC υποστηρίζουν ειδικές εντολές πολλαπλών εισόδων-πολλαπλών εξόδων, πολυθυρικό αρχείο καταχωρητών και κλιμακωτή αρχιτεκτονικής προώθησης δεδομένων. Διανομή επίδειξης: <http://www.nkavvadias.com/misc/byorisc-demo-0.0.1.zip>
- Ανάπτυξη, σχεδιασμός πλήθους εργαστηριακών ασκήσεων και σύνταξη υποδειγματικών εργαστηριακών αναφορών για τις αναπτυξιακές πλακέτες **FPGA** Xilinx Spartan-3 και Spartan-3E Starter Kit. Ενδεικτικά αναφέρονται:
 - Δοκιμαστής οθόνης (VGA tester)
 - Μηχανή μηνυμάτων με απεικόνιση σταθερών και κυλιόμενων μηνυμάτων σε character LCD
 - Ανιχνευτής ακμών σε εικόνες με επεξεργαστή τύπου RISC
 - Γεννήτρια δοκιμαστικών εικόνων για οθόνη VGA
 - Ενσωματωμένο σύστημα προβολής εικόνων σε οθόνη VGA υλοποιημένο σε VHDL για την αναπτυξιακή πλακέτα Spartan-3 Starter Kit.
 - Παιχνίδι “κινούμενων φώτων” με ενδείκτες LED
 - Παιχνίδι τύπου ring-rong για δύο παίκτες με έξοδο σε display και επικοινωνία με τον υπολογιστή μέσω σειριακής θύρας (UART/RS-232) για λήψη εντολών και απεικόνιση αποτελεσμάτων.
 - Υλικό από σεμινάριο FPGA του ιδίου: <http://www.livestream.com/uopacm/>
- Το πρωτότυπο εργαλείο **GENMISO** (σε C/C++) το οποίο αυτοματοποιεί πλήρως την γένεση εντολών επέκτασης από C εφαρμογές για επεξεργαστές ειδικού σκοπού (αναφορές [A4,B9,B12,B15]).
- Το εργαλείο **kdiv** αποτελεί μία γεννήτρια βελτιστοποιημένων ρουτινών διαίρεσης με ακέραια σταθερά. Παράγει μία ANSI C και NAC (γενική γλώσσα συμβολομεταφραστή) υλοποίηση της διαίρεσης. Διατίθεται υπό την τροποποιημένη άδεια BSD: <http://sourceforge.net/projects/kdiv/>
- Αυτόματη σύνθεση με τη χρήση του HerculEs ή/και σχεδιασμός μη-προγραμματιζόμενων επεξεργαστών αρχιτεκτονικής FSM (FSM με datapath) επεξεργαστών σε VHDL όπως: διδιάστατα κυψελωτά αυτόματα (2D cellular automata) [διαθέσιμο προς επίδειξη], εκπαιδευτικό κύκλωμα εξαγωγής μέγιστου κοινού διαιρέτη, εναλλακτικές αρχιτεκτονικές πολλαπλασιαστή πινάκων και εκτιμητή κίνησης (motion estimator) πλήρους ανίχνευσης. Συνολικά, περισσότερα των 400 μετροπρογραμμάτων έχουν υλοποιηθεί αυτομάτως σε αρχιτεκτονική υλικού με τη χρήση του HerculEs.
- VHDL κώδικας και λογισμικά εργαλεία για την μονάδα ελέγχου βρόχου **HWLU**. Διάθεση κάτω από την άδεια LGPL: <http://www.opencores.org/project.hwlu> (αναφορά [B18]).
- VHDL κώδικας για πακέτο ρητής αριθμητικής (rational arithmetic). Διάθεση κάτω από την άδεια LGPL: <http://www.opencores.org/project.ratpack>
- VHDL κώδικας για επεκτάσεις του πακέτου αριθμητικής σταθερής υποδιαστολής για το πρότυπο IEEE (VHDL) 1076-2008 (αναφορά [B24]): http://www.opencores.org/project.fixed_extensions
- Το εργαλείο γέννησης VHDL κώδικα **lcugen** για την αρχιτεκτονική ZOLC (αναφορά [A3]).
- Ανάπτυξη και συγγραφή backend του μεταγλωττιστή gcc (3.3.1-3.4.3, 4.0.2, 4.1.0) για τους επεξεργαστές DLX και ByoRISC, και επαναστόχευση των newlib και GDB για τους επεξεργαστές.
- Ανάπτυξη backend RISC επεξεργαστών για την υποδομή SALTO (System for Assembly Language Transformation and Optimization).
- Λογισμικά εργαλεία (περάσματα για τον μεταγλωττιστή Machine-SUIF και για την υποδομή SALTO) για την εκμετάλλευση της αρχιτεκτονικής ελέγχου ZOLC σε προγραμματιζόμενους επεξεργαστές

RISC (αναφορά [A7]). Τα περάσματα “**zolegen**” και “**tcfgggen**” είναι διαθέσιμα από την ιστοσελίδα: <http://www.nkavvadias.com/downloads.html>

- Περάσματα μεταγλωττιστή για την υποδομή μεταγλωττιστή SUIF/Machine SUIF προκειμένου την ανάλυση ή/και βελτιστοποίηση κώδικα όπως για την εξαγωγή γράφων εξάρτησης δεδομένων (**bbpart**), συχνότητας εκτέλεσης βασικών μπλοκ (**m2cbb**), μίγματος στατικών εντολών (**instrmix**), ανάλυσης φυσικών βρόχων (**loopstr**), ανάλυσης χρόνου ζωής καταχωρητών (**liveanalysis**).

Ερευνητικά ενδιαφέροντα

- Σύνθεση υψηλού επιπέδου (high-level synthesis) αρχιτεκτονικών υλικού από αλγοριθμικές περιγραφές.
- Ανάπτυξη μεθοδολογίας σχεδιασμού του συνόλου εντολών και της μικροαρχιτεκτονικής για επεξεργαστές ειδικού σκοπού.
- Σχεδιασμός αρχιτεκτονικών υλικού υψηλής ταχύτητας/χαμηλής κατανάλωσης ισχύος για εφαρμογές ψηφιακής επεξεργασίας σήματος με έμφαση στις εφαρμογές πολυμέσων.
- Ανάπτυξη μεταγλωττιστών (υποδομή, περάσματα ανάλυσης και βελτιστοποίησης, backends) για πρωτότυπους ενσωματωμένους επεξεργαστές.
- Ανάπτυξη μοντέλων κατανάλωσης ισχύος στο επίπεδο εντολής για ενσωματωμένους επεξεργαστές με αρχιτεκτονική διοχέτευσης.
- Σχεδιασμός ενσωματωμένων συστημάτων και υλοποίησή τους σε διατάξεις προγραμματιζόμενων πυλών (FPGAs) όπως Xilinx Spartan-3/3E/3AN, και Altera Stratix-II.

Ερευνητική δραστηριότητα

A. Δημοσιεύσεις σε Περιοδικά

1. **N. Kavvadias**, P. Neofotistos, S. Nikolaidis, K. Kosmatopoulos and T. Laopoulos, “Measurements Analysis of the Software-Related Power Consumption in Microprocessors,” IEEE Transactions on Instrumentation and Measurement, Vol. 53, No. 4, pp. 1106-1112, Aug. 2004.
2. S. Nikolaidis, **N. Kavvadias**, T. Laopoulos, L. Bisdounis, and S. Blionas, “Instruction Level Energy Modeling for Pipelined Processors,” Journal of Embedded Computing, Vol. 1, No. 3, pp. 317-324, 2005.
3. **N. Kavvadias** and S. Nikolaidis, “Zero-overhead loop controller for implementing multimedia algorithms,” IEE Proceedings – Computers & Digital Techniques, Vol. 152, No. 4, pp. 517-526, Jul. 2005.
4. N. Vassiliadis, A. Chormoviti, **N. Kavvadias** and S. Nikolaidis, “The effect of data-reuse transformations on multimedia applications for application specific processors,” International Scientific Journal of Computing, Vol. 4, No. 3, pp. 102-109, 2005.
5. N.D. Vassiliadis, **N. Kavvadias**, G. Theodoridis, and S. Nikolaidis, “A RISC architecture extended by an efficient tightly coupled reconfigurable unit,” International Journal of Electronics, Vol. 93, No. 6, pp. 421-438, June 2006.
6. **N. Kavvadias**, V. Giannakopoulou, and S. Nikolaidis, “Development of a customized processor architecture for accelerating genetic algorithms,” Microprocessors and Microsystems, Volume 31, Issue 5, pp. 347-359, 1 August 2007. Available online: 12 January 2007.
7. **N. Kavvadias** and S. Nikolaidis, “Elimination of overhead operations in complex loop structures for embedded microprocessors,” IEEE Transactions on Computers, Vol. 57, No. 2, pp. 200-214, February 2008.
8. **N. Kavvadias** and S. Nikolaidis, “Scalable register bypassing for FPGA-based processors,” Microprocessors and Microsystems, Volume 33, Issues 7-8, pp. 441-452, October-November 2009. Available online: 29 July 2009.
9. T. Stripf, O. Oey, T. Bruckschloegl, J. Becker, G. Rauwerda, K. Sunesen, G. Goulas, P. Alefragis, N.S. Voros, S. Derrien, O. Sentieys, **N. Kavvadias**, G. Dimitroulakos, K. Masselos, D. Kritharidis, N. Mitas, Th. Perschke, “Compiling Scilab To High Performance Embedded Multicore Systems,”

B. *Ανακοινώσεις σε Συνέδρια*

1. **N. Kavvadias**, A. Zanikopoulos, Ch. Voliotidis, S. Kougia, A. Chatzigeorgiou, N. Zervas, S. Nikolaidis, "Power exploration of parallel embedded architectures implementing data-reuse transformations," in Proceedings of the 8th IEEE International Conference on Electronics, Circuits and Systems (ICECS'01), Vol. I, pp. 781-784, Msida, Malta, September 2001.
2. **N. Kavvadias**, A. Chatzigeorgiou, N. Zervas, S. Nikolaidis, "Memory hierarchy exploration for low power architectures in embedded multimedia applications," in Proceedings of IEEE 2001 International Conference on Image Processing (ICIP'01), Vol. 3, pp. 326-329, Thessaloniki, Greece, October 2001.
3. **N. Kavvadias** and S. Nikolaidis, "Parametric Architecture for Implementing Multimedia Algorithms," in Proceedings of the 9th International Conference on Digital Signal Processing (DSP2002), Vol. 2, pp. 1261-1264, Santorini, Greece, July 2002.
4. S. Nikolaidis, **N. Kavvadias**, P. Neofotistos, K. Kosmatopoulos, T. Laopoulos, L. Bisdounis, "Instrumentation set-up for Instruction level power modeling," in Proceedings of 12th International Workshop on Power Analysis and Timing Modeling, Optimization and Simulation (PATMOS 2002), pp. 71-80, Seville, Spain, September 2002.
5. **N. Kavvadias**, P. Neofotistos, S. Nikolaidis, K. Kosmatopoulos and Th. Laopoulos, "Measurements Analysis of the Software-Related Power Consumption in Microprocessors," in Proceedings of the IEEE Instrumentation and Measurement Technology Conference, Vol. 2, pp. 981-986, Vail, CO, USA, May 2003.
6. S. Nikolaidis, **N. Kavvadias**, T. Laopoulos, L. Bisdounis, S. Blionas, "Instruction Level Energy Modeling for Pipelined Processors," in Proceedings of the 13th International Workshop on Power Analysis and Timing Modeling, Optimization and Simulation (PATMOS 2003), pp. 279-288, Torino, Italy, September 2003.
7. **N. Kavvadias** and S. Nikolaidis, "Tradeoffs in the Design Space Exploration of Application-Specific Processors," in Proceedings of the IFIP WG 10.5 Conference on Very Large Integration of System-on-Chip (VLSI-SoC 2003), pp. 233-238, Darmstadt, Germany, December 1-3, 2003.
8. N. Vassiliadis, A. Chormoviti, **N. Kavvadias**, and S. Nikolaidis, "The Effect of Data-Reuse Transformations on Multimedia Applications for Different Processing Platforms," in Proceedings of the 14th Intl. Workshop on Power and Timing Modeling, Optimization and Simulation, pp. 593-602, Santorini, Greece, September 15-17, 2004.
9. **N. Kavvadias** and S. Nikolaidis, "Application Analysis with Integrated Identification of Complex Instructions for Configurable Processors," in Proceedings of the 14th Intl. Workshop on Power and Timing Modeling, Optimization and Simulation, pp. 633-642, Santorini, Greece, September 15-17, 2004.
10. N.D. Vassiliadis, **N. Kavvadias**, G. Theodoridis, and S. Nikolaidis, "A RISC architecture extended by an efficient tightly coupled reconfigurable unit," in Proceedings of the 1st International Workshop on Applied Reconfigurable Computing 2005 (ARC 2005), pp. 41-49, Algarve, Portugal, February 22-23, 2005.
11. **N. Kavvadias** and S. Nikolaidis, "Hardware support for arbitrarily complex loop structures in embedded applications," in Proceedings of the Design, Automation and Test in Europe Conference (DATE'05), pp. 1060-1061, Munich, Germany, March 7-11, 2005.
12. **N. Kavvadias** and S. Nikolaidis, "Automated Instruction-Set Extension of Embedded Processors with Application to MPEG-4 Video Encoding," in Proceedings of the 16th IEEE International Conference on Application-specific Systems, Architectures and Processors (ASAP 2005), pp. 140-145, Samos, Greece, July 23-25, 2005.
13. N. Vassiliadis, A. Chormoviti, **N. Kavvadias**, and S. Nikolaidis, "The Effect of Data-Reuse Transformations on Multimedia Applications for Application Specific Processors," in Proceedings of the Third IEEE International Workshop on Intelligent Data Acquisition and Advanced Computing Systems: Technology and Applications (IDAACS 2005), pp. 179-182, Sofia, Bulgaria, September 5-7, 2005.

14. **N. Kavvadias** and S. Nikolaidis, "A flexible instruction generation framework for extending embedded processors," in Proceedings of the 13th IEEE Mediterranean Electrotechnical Conference (MELECON 2006), pp. 125-128, Benalmadena (Malaga), Spain, May 16-19, 2006.
15. **N. Kavvadias** and S. Nikolaidis, "A portable specification of zero-overhead looping control hardware applied to embedded processors," in Proceedings of the 2006 IEEE International Symposium on Circuits and Systems, pp. 1599-1602, Kos, Greece, May 21-24, 2006.
16. **N. Kavvadias** and S. Nikolaidis, "YARDstick: Automation tool for custom processor development," presented at the University Booth of the Design, Automation and Test in Europe Conference (DATE'07), Nice, France, April 16-20, 2007.
17. **N. Kavvadias** and S. Nikolaidis, "The ByoRISC configurable processor family," Proceedings of the IFIP/IEEE VLSI-SoC 2008 – International Conference on Very Large Scale Integration, pp. 439-444, Rhodes Island, Greece, October 13-15, 2008.
18. **N. Kavvadias** and K. Masselos, "Efficient hardware looping units for FPGAs," in Proceedings of the IEEE Computer Society Annual Symposium on VLSI (ISVLSI 2010), pp. 35-40, Lixouri Kefalonia, Greece, July 5-7, 2010.
19. **N. Kavvadias** and K. Masselos, "NAC: A lightweight intermediate representation for ASIP compilers," Proceedings of the International Conference on Engineering of Reconfigurable Systems and Algorithms (ERSA'11), pp. 351-354, Las Vegas, Nevada, USA, July 18-21, 2011.
20. **N. Kavvadias** and K. Masselos, "Automated synthesis of FSM-based accelerators for hardware compilation," Proceedings of the 2012 IEEE 23rd International Conference on Application-Specific Systems, Architectures and Processors (ASAP), pp. 157-160, Delft, The Netherlands, July 9-11, 2012.
21. T. Stripf, O. Oey, T. Bruckschloegl, R. Koenig, M. Huebner, G. Goulas, P. Alefragis, N.S. Voros, G. Rauwerda, K. Sunesen, S. Derrien, D. Menard, O. Sentieys, **N. Kavvadias**, G. Dimitroulakos, K. Masselos, D. Goehringer, T. Perschke, D. Kritharidis, N. Mitas, and J. Becker, "A Flexible Approach for Compiling Scilab to Reconfigurable Multi-Core Embedded Systems," Proceedings of the 7th International Workshop on Reconfigurable Communication-centric Systems-on-Chip (invited paper), York, UK, July 9-11, 2012.
22. G. Goulas, P. Alefragis, N.S. Voros, C. Valouxis, C. Gogos, **N. Kavvadias**, G. Dimitroulakos, K. Masselos, D. Goehringer, S. Derrien, D. Menard, O. Sentieys, M. Huebner, T. Stripf, O. Oey, J. Becker, G. Rauwerda, K. Sunesen, D. Kritharidis, and N. Mitas, "From Scilab to Multicore Embedded Systems: Algorithms and Methodologies," Proceedings of the SAMOS XII International Conference on Embedded Computer Systems: Architectures, Modeling and Simulation (invited paper), pp. 268-275, Samos, Greece, July 16-19, 2012.
23. J. Becker, M. Huebner, T. Stripf, S. Derrien, D. Menard, O. Sentieys, G. Rauwerda, K. Sunesen, **N. Kavvadias**, K. Masselos, G. Goulas, P. Alefragis, N.S. Voros, D. Kritharidis, N. Mitas and D. Goehringer, "From Scilab To High Performance Embedded Multicore Systems-The ALMA Approach," Proceedings of the 15th Euromicro Conference on Digital System Design, pp. 114-121, September 5-8, 2012, Cesme, Izmir, Turkey.
24. **N. Kavvadias** and K. Masselos, "Design of Fixed-point Rounding Operators for the Latest VHDL Standard," Proceedings of the 2012 Conference on Design and Architectures for Signal and Image Processing (DASIP), October 23-25, 2012, Karlsruhe, Germany.
25. **N. Kavvadias** and K. Masselos, "The HercuLeS high-level synthesis environment," Presented at the 23rd International Conference on Field Programmable Logic and Applications (FPL 2013), September 2-4, 2013, Porto, Portugal.
26. **N. Kavvadias** and K. Masselos, "Hardware design space exploration using HercuLeS HLS," Proceedings of the 17th Panhellenic Conference on Informatics with International Participation (PCI 2013), pp. 195-202, September 19-21, 2013, Thessaloniki (Salonica), Greece.

Γ. Κεφάλαια σε Βιβλία

1. **N. Kavvadias**, V. Giannakopoulou and K. Masselos, "FSMD-Based Hardware Accelerators for FPGAs," in Embedded Systems - Theory and Design Methodology, ISBN 978-953-51-0167-3, ed. by Kiyofumi Tanaka, Intech, March 2012.

Δ. Επιλεγμένες Τεχνικές Αναφορές

1. S. Nikolaidis, **N. Kavvadias**, Th. Laopoulos, “Instruction-level power management methodology,” Deliverable D8, FP6-IST-2000-30093 EASY (Energy-Aware SYstem-on-chip design of the HIPERLAN/2 standard) project, March 2002. (http://easy.intranet.gr/public_deliverables.html)
2. S. Nikolaidis, **N. Kavvadias**, P. Neofotistos, “Instruction level power measurements and analysis,” Deliverable D15, FP6-IST-2000-30093 EASY (Energy-Aware SYstem-on-chip design of the HIPERLAN/2 standard) project, September 2002.
3. S. Nikolaidis, **N. Kavvadias**, P. Neofotistos, “Instruction-level power models for embedded processors,” Deliverable D21, FP6-IST-2000-30093 EASY (Energy-Aware SYstem-on-chip design of the HIPERLAN/2 standard) project, December 2002.
4. G. Dimitroulakos, **N. Kavvadias**, and K. Masselos, “Deliverable 2.1: State-of-the-Art Analysis for Embedded Systems Design,” FP7-ICT-248821 ENOSYS (intEgrated modelliNg and synthesis tOol flow for embedded SYStems design) project, June 2010. (<http://www.enosys-project.eu>)
5. G. Dimitroulakos, **N. Kavvadias**, and K. Masselos, “Deliverable 3.1: State-of-the-Art for Embedded Systems modelling and synthesis,” FP7-ICT-248821 ENOSYS (intEgrated modelliNg and synthesis tOol flow for embedded SYStems design) project, September 2010. (<http://www.enosys-project.eu>)
6. G. Dimitroulakos, **N. Kavvadias**, and K. Masselos, “Deliverable 2.3: Methodology for source code optimization using transformations,” FP7-ICT-248821 ENOSYS (intEgrated modelliNg and synthesis tOol flow for embedded SYStems design) project, April 2011. (<http://www.enosys-project.eu>)
7. C. Lezos, G. Dimitroulakos, **N. Kavvadias**, and K. Masselos, “Deliverable 3.2: Algorithms for intermediate code generation and hardware resources estimation,” FP7-ICT-287733 ALMA (Architecture oriented paraLlelization for high performance embedded Multicore systems using scilAb) project, August 2012. (<http://www.alma-project.eu>)
8. **N. Kavvadias**, and K. Masselos, “Deliverable 3.3: Algorithms for intermediate code optimization,” FP7-ICT-287733 ALMA (Architecture oriented paraLlelization for high performance embedded Multicore systems using scilAb) project, December 2012. (<http://www.alma-project.eu>)