

CST256: Γλώσσες Περιγραφής Υλικού

Διδάσκων: Νικόλαος Καββαδίας (Λέκτορας, Π.Δ. 407/80)
nkavn@uop.gr

Εξεταστική Σεπτεμβρίου 2009

Ημερομηνία εξέτασης: Τρίτη 08 Σεπτεμβρίου 2009
Ώρα εξέτασης: 13:30-16:30
Ακαδημαϊκό έτος: 2008-2009

Θέματα

1) Σε κάθε ένα από τα παρακάτω ερωτήματα να επιλεγθεί η σωστή από τις προτεινόμενες απαντήσεις.

1. Τι περιγράφεται στην ARCHITECTURE ενός κυκλώματος;

- A. η διεπαφή του
- B. ο πίνακας αληθείας του
- Γ. τα COMPONENT από τα οποία αποτελείται
- Δ. οι μηχανισμοί λειτουργίας του

2. Δίνονται τα διανύσματα a(5 downto 1), b(0 to 3), c(9 downto 5). Ποιο το εύρος του καθενός, αντίστοιχα;

- A. 5, 3, 5
- B. 5, 4, 5
- Γ. 6, 4, 4
- Δ. 6, 4, 5

3. Για τα παραπάνω διανύσματα a, b, c, ποια από τις παρακάτω αναθέσεις δεν είναι ορθή;

- A. a(5 downto 0) <= c & '0';
- B. a(2 downto 1) <= b(0 to 1);
- Γ. c(8 downto 6) <= a(3 downto 1);
- Δ. b(0 to 0) <= "0";

4. Ο τύπος STD_ULONGIC υλοποιεί λογική 9 επιπέδων. Πως συμβολίζονται τα λογικά επίπεδα για την άγνωστη τιμή, την κατάσταση υψηλής αντίστασης, τη μη αρχικοποιημένη τιμή και την αδιάφορη τιμή, αντίστοιχα;

- A. 'Φ', 'Z', 'U', 'D'
- B. 'U', 'X', 'Z', '-'
- Γ. '-', 'U', 'Z', 'X'
- Δ. 'X', 'Z', 'U', '-'

5. Επιλέξτε την ισοδύναμη έκφραση για τη θετική ακμοσυροδότηση: rising_edge(clk)

- A. clk'STABLE and clk = '1'
- B. clk'EVENT and clk = '0'
- Γ. clk'EVENT and clk = '1'

Δ. falling_edge(clk)

6. Τι είδους κύκλωμα υλοποιεί ο ακόλουθος κώδικας;

```
process (a, b, sel)
begin
  if (sel = '1') then
    d <= a;
  else
    d <= b;
  end if;
end process;
```

- A. Έναν πολυπλέκτη 2-σε-1
 - B. Ένα flip-flop τύπου D
 - Γ. Έναν τρισταθί απομονωτή
 - Δ. Ένα μανδαλωτή
7. Ποια τα επίπεδα σοβαρότητας (severity) της εντολής ASSERT;
- A. INFO, WARNING, ERROR
 - B. NOTE, WARNING, BREAK
 - Γ. INFO, WARNING, FAULT, FAILURE
 - Δ. NOTE, WARNING, ERROR, FAILURE
8. Τι είναι ένα αρχείο testbench;
- A. Το top-level αρχείο του κυκλώματος
 - B. Αρχείο για τον έλεγχο του κυκλώματος
 - Γ. Ένα πακέτο με δηλώσεις του χρήστη
 - Δ. Εναλλακτική περιγραφή του κυκλώματος
9. Ποιο από τα παρακάτω δεν αποτελεί τύπο θύρας μιας ENTITY;
- A. WIRE
 - B. INOUT
 - Γ. IN
 - Δ. BUFFER
10. Μία VARIABLE δεν μπορεί:
- A. Να διασυνδέσει δύο αντίτυπα COMPONENT (υποκυκλώματα)
 - B. Να χρησιμοποιηθεί μέσα σε μία PROCESS
 - Γ. Να διαβαστεί και να γραφεί μέσα στην ίδια PROCESS
 - Δ. Να δηλωθεί στην περιοχή δηλώσεων της PROCESS

2) Να απαντηθούν τα εξής ερωτήματα:

1. Ο παρακάτω κώδικας VHDL ο οποίος περιγράφει ένα αρχείο καταχωρητών με 32 θέσεις, περιέχει ορισμένα λάθη και παραλείψεις. Να γραφεί ο διορθωμένος κώδικας.

```
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_unsigned.all;
use IEEE.std_logic_arith.all;

entity regfile is
  generic (
    DW : integer := 32
  );
  port (
    clk      : in  std_logic;
    waddr    : in  std_logic_vector(4 downto 0);
```

```

raddr      : in  std_logic_vector(3 downto 0);
input_data : in  std_logic_vector(DW-1 downto 0);
ram_output : out std_logic_vector(DW-1 downto 0)
);
end regfile;

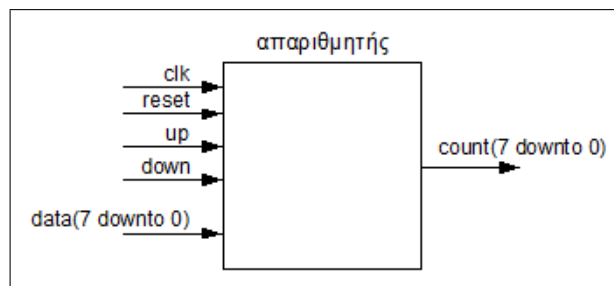
architecture synth of regfile is
  type mem_type is array (0 to 27) of std_logic_vector(DW-1 downto 0);
  signal ram : mem_type := (others => '0');
begin
  process (clk)
  begin
    if (clk = '1') then
      if (we = '1') then
        ram(conv_std_logic_vector(waddr, 5)) <= ram_output(DW);
      end if;
    end if;
  end process;
  ram_output <= ram(conv_integer(waddr));
end rtl;

```

2. Να γραφεί ο κώδικας VHDL για κύκλωμα πολυπλέκτη τριών εισόδων του 1-bit (std_logic).

3) Να γραφεί ο κώδικας VHDL για τα εξής κυκλώματα:

1. Αποκωδικοποιητής 2-σε-4 για εισόδους τύπου std_logic.
2. Σύγχρονος απαριθμητής των 8-bit με δυνατότητα απαρίθμησης προς τα πάνω και προς τα κάτω (up-down counter) σύμφωνα με τη διεπαφή του παρακάτω σχήματος. Ο απαριθμητής διαθέτει τις εισόδους up, down που είναι είσοδοι ελέγχου, την είσοδο δεδομένων data, και την έξοδο δεδομένων count. Όταν μόνο η είσοδος up είναι '1' απαριθμεί προς τα πάνω, όταν μόνο η down είναι '1' απαριθμεί προς τα κάτω και όταν και οι δύο είσοδοι ελέγχου είναι '1' δεν εκτελείται καμία από τις δύο λειτουργίες.



4) Το παρακάτω σχήμα περιγράφει το διάγραμμα καταστάσεων ενός απλού FSM. Να σχεδιαστεί το κύκλωμα σε VHDL.

