

CST304: Γλώσσες Περιγραφής Υλικού I (Verilog HDL) για επί πτυχίω φοιτητές

Διδάσκων: Ιωάννης Βαλαβάνης (Λέκτορας, Π.Δ. 407/80), email: ivalavan@uop.gr

Ημερομηνία εξέτασης: Παρασκευή 25 Ιανουαρίου 2013
Ώρα εξέτασης: 13:30-16:30
Ακαδημαϊκό έτος: 2012-2013

1) Να απαντηθούν τα παρακάτω ερωτήματα. (Βαθμοί: 2.0/10)

1. Τι γνωρίζετε για τα FSM;
2. Σχεδιάστε πολυπλέκτη 5-σε-1 για εισόδους δεδομένων των 3-bit.

2) Να σχεδιαστούν τα παρακάτω κυκλώματα. (Βαθμοί: 2.5/10)

1. Κύκλωμα ισομειωτηρίας τεσσάρων εισόδων του 1-bit. Η έξοδος του είναι '1' όταν δύο ή λιγότερες από τις εισόδους του έχουν την τιμή '1' αλλιώς είναι '0'.
2. Σύγχρονος απαριθμητής των 8-bit με δυνατότητα απαρίθμησης προς τα πάνω. Ο απαριθμητής διαθέτει τις εισόδους *clk*, *reset*, την *load* για παράλληλη φόρτωση αρχικής τιμής από την είσοδο δεδομένων *din*, και την έξοδο δεδομένων *dout*. Ποια η τιμή της *dout* μετά από 500 κύκλους ρολογιού για αρχική τιμή δεδομένων *din* = 8'h44;

3) Να σχεδιαστούν τα παρακάτω κυκλώματα. (Βαθμοί: 3.0/10)

1. Μνήμη RAM των 64 θέσεων με ασύγχρονη ανάγνωση και εισόδους ρολογιού *clk*, επιτρεψής εγγραφής *we*, διεύθυνσης ανάγνωσης *raddr* και εγγραφής *waddr* κατάλληλου εύρους, είσοδο δεδομένων *din* των 8-bit, και αντίστοιχη έξοδο *dout* των 8-bit.
2. Αριθμητική μονάδα με εισόδους δεδομένων *a, b* των 4-bit (απρόσημοι), είσοδο επιλογής *sel* των 3-bit, και έξοδο δεδομένων *y* των 4-bit, η οποία να εκτελεί τις λειτουργίες:
 - α) ADD: πρόσθεση των *a, b*,
 - β) MIN: η έξοδος *y* ισούται με τον μικρότερο των *a, b*,
 - γ) CMP: σύγκριση των *a, b*. Η έξοδος *y* είναι 4'h1 όταν $a > b$, αλλιώς είναι 4'h0.
 - δ) PCNTA: απαρίθμηση πληθυσμού (του αριθμού των 1) για την είσοδο *a*,
 - ε) SHLA: αριστερή λογική ολίσθηση της *a*, και
 - στ) RORA: δεξιά περιστροφή της *a* κατά μία θέση.Να γράψετε τις σωστές εξόδους κάθε λειτουργίας για $a = 4'h5$, $b = 4'hB$.

4) Το διπλανό σχήμα περιγράφει το διάγραμμα καταστάσεων ενός FSMD για την άθροιση n διαδοχικών τετραγώνων. Το κύκλωμα διαθέτει είσοδο ρολογιού *clk*, επανατοποθέτησης *reset*, έναρξης υπολογισμού *start*, είσοδο δεδομένων n με εύρος W -bit, έξοδο δεδομένων y των W -bit, και έξοδο κατάστασης *done* που γίνεται 1 με την ολοκλήρωση των υπολογισμών. Ακόμη, υπάρχουν οι προσωρινοί καταχωρητές των W -bit, *nreg* για την προσωρινή αποθήκευση των δεδομένων n , *nsqreg* για την αποθήκευση του τετραγώνου του τρέχοντος όρου και *sum* για το συσσωρευόμενο αποτέλεσμα. Να σχεδιαστεί το κύκλωμα σε Verilog. (Βαθμοί: 2.5/10)

