

CST304: Γλώσσες Περιγραφής Υλικού I (Verilog HDL)

Διδάσκων: Νικόλαος Καββαδίας (Λέκτορας, Π.Δ. 407/80)
nkavn@uop.gr

Εξεταστική Ιουνίου-Ιουλίου 2011

Ημερομηνία εξέτασης: Τετάρτη 15 Ιουνίου 2011
Ωρα εξέτασης: 10:00-13:00
Ακαδημαϊκό έτος: 2010-2011

Θέματα

- 1) Σε κάθε ένα από τα παρακάτω ερωτήματα να επιλεγθεί η σωστή από τις προτεινόμενες απαντήσεις. (Βαθμοί: 2.0/10)
 1. Με ποια από τις παρακάτω γλώσσες προγραμματισμού γενικού σκοπού παρουσιάζει συντακτικές ομοιότητες η Verilog;
A) Pascal. B) BASIC. Γ) Ada. Δ) ANSI C.
 2. Πως ονομάζεται το λογισμικό προσομοίωσης που χρησιμοποιήθηκε στα εργαστήρια του μαθήματος;
A) Tux Racer. B) Verilator. Γ) Icarus Verilog. Δ) Daedalus Verilog.
 3. Ποια από τις παρακάτω δεν αποτελεί διεργασία συστήματος της Verilog;
A) simulate. B) finish. Γ) dumpfile. Δ) dumpvars.
 4. Τι είναι ένα αρχείο VCD;
A) Ένα πακέτο με δηλώσεις του χρήστη.
B) Αρχείο κυματομορφών από τη προσομοίωση του κυκλώματος.
Γ) Το top-level αρχείο του κυκλώματος.
Δ) Ένας εναλλακτικός προσδιορισμός για το αρχείο testbench.
 5. Δίνονται τα διανύσματα $a[0:4]$, $b[9:6]$, $c[5:1]$. Ποιο το εύρος του καθενός, αντίστοιχα;
A) 5, 5, 5. B) 5, 4, 4. Γ) 4, 4, 5. Δ) 5, 4, 5.
 6. Για τα παραπάνω διανύσματα a , b , c , ποια από τις παρακάτω αναθέσεις δεν είναι ορθή;
A) $a[0:2] = \{c[5:4], 1'b0\}$; B) $b[9:6] = 4'b1101$;
Γ) $c[3:1] = a[3:5]$; Δ) $c[2:2] = b[8]$;
 7. Ποιο το ελάχιστο εύρος διανύσματος διεύθυνσης, για τη διευθυνσιοδότηση μνήμης ROM με 65 θέσεις;
A) 5. B) 6. Γ) 7. Δ) 8.
 8. Ποια από τα παρακάτω κυκλώματα είναι ακολουθιακό;
A) Καταχωρητής. B) Κωδικοποιητής προτεραιότητας.
Γ) Αποπολυπλέκτης. Δ) Αποκωδικοποιητής.
 9. Ποιος από τους παρακάτω είναι ο τελεστής αθέτου υπολοίπου στη Verilog;
A) \$. B) %. Γ) ~. Δ) &.
 10. Ποιο το αποτέλεσμα της $a = b + c$;, αν $b = 4'b1001$, $c = 4'b1101$ και a διάνυσμα των 4-bit:
A) 4'b0101. B) 4'b0111. Γ) 4'b1100. Δ) 4'b0110.

2) Να απαντηθούν τα παρακάτω ερωτήματα. (Βαθμοί: 3.0/10)

1. Τι γνωρίζετε για τα FSM;
2. Σχεδιάστε κύκλωμα ισομειοψηφίας (equality/minority voter) τεσσάρων εισόδων του 1-bit. Η έξοδος του είναι '1' όταν δύο ή λιγότερες από τις εισόδους του έχουν την τιμή '1' αλλιώς είναι '0'.
3. Σχεδιάστε παραμετρικό καταχωρητή με εισόδους $clk, d, reset$ (σύγχρονο) και έξοδο q για δεδομένα εύρους W -bit.

3) Να γραφεί ο κώδικας Verilog για τα εξής κυκλώματα. (Βαθμοί: 3.0/10)

1. Αριθμητική μονάδα με εισόδους δεδομένων a, b των 8-bit (προσημασμένοι σε συμπλήρωμα-ως-προς-2), είσοδο επιλογής sel των 3-bit, και έξοδο δεδομένων y των 8-bit, η οποία να εκτελεί τις λειτουργίες:
 - α) ADD: πρόσθεση των a, b (χρησιμοποιήστε επέκταση προσήμου),
 - β) AND: λογικό-ΚΑΙ των a, b ,
 - γ) MOVA: μεταφορά του a στην έξοδο,
 - δ) MIX1: συνένωση των 4 πιο σημαντικών ψηφίων του a με τα 4 λιγότερο σημαντικά του b ,
 - ε) MIX2: συνένωση των 4 πιο σημαντικών ψηφίων του b με τα 4 λιγότερο σημαντικά του a ,
 - στ) SHLA: αριστερή λογική ολίσθηση του a κατά όσες θέσεις δείχνουν τα χαμηλότερης σημαντικότητας ψηφία του b , και
 - ζ) SHRA: δεξιά λογική ολίσθηση του a .

Να γράψετε τις σωστές εξόδους κάθε λειτουργίας για $a = 8'h47, b = 8'h83$.

2. Αρχείο καταχωρητών (τύπου RAM ασύγχρονης ανάγνωσης) 16 θέσεων των 16-bit με δύο θύρες ανάγνωσης και μία εγγραφής. Διαθέτει εισόδους clk, we του 1-bit, θύρες διευθυνσιοδότησης $raddr1, raddr2, waddr$ κατάλληλου εύρους για τις θύρες ανάγνωσης και εγγραφής, θύρα δεδομένων εγγραφής $wdata$ των 16-bit, και ως εξόδους θύρες δεδομένων ανάγνωσης $rdata1, rdata2$ των 16-bit.

4) Ο παρακάτω πίνακας περιγράφει σε φυσική γλώσσα κατά βήματα έναν επαναληπτικό αλγόριθμο για την ακέραια διαίρεση x/y με υπολογισμό του πηλίκου q και του υπολοίπου r με $x \geq 0$ και $y > 0$. Ζητείται ο σχεδιασμός του αντίστοιχου κυκλώματος FSMD σε Verilog. Το κύκλωμα διαθέτει εισόδους x, y με εύρος 8-bit, είσοδο ρολογιού clk , ασύγχρονης επανατοποθέτησης $reset$, ενεργοποίησης $start$ καθώς και εξόδους δεδομένων q και r , και έξοδο κατάστασης $done$ που γίνεται 1 με την ολοκλήρωση των υπολογισμών. Ακόμη, υπάρχουν βοηθητικοί καταχωρητές $y0, y1$ των 8-bit. (Βαθμοί: 2.0/10)

Κατάσταση	Λειτουργία
S1	$r = x; q = 0; y0 = y; y1 = y;$
S2	Διπλασιασμός του $y1$
S3	Αν $y1 \leq x$, τότε επόμενη κατάσταση είναι η S2, αλλιώς η S4
S4	Υποδιπλασιασμός του $y1$, διπλασιασμός του q
S5	Αν $r \geq y1$, τότε επόμενη κατάσταση είναι η S6, αλλιώς η S7
S6	$r = r - y1; q = q + 1;$
S7	Αν $y1 \neq y0$, τότε επόμενη κατάσταση είναι η S4, αλλιώς η S8
S8	$done = 1$