

CST304: Γλώσσες Περιγραφής Υλικού I (Verilog)

Διδάσκων: Νικόλαος Καββαδίας (Λέκτορας, Π.Δ. 407/80)
nkavn@uop.gr

Εξεταστική Ιουνίου 2010

Ημερομηνία εξέτασης: Τρίτη 15 Ιουνίου 2010
Ώρα εξέτασης: 10:00-13:00
Ακαδημαϊκό έτος: 2009-2010

Θέματα

1) Σε κάθε ένα από τα παρακάτω ερωτήματα να επιλεγθεί η σωστή από τις προτεινόμενες απαντήσεις. (Βαθμοί: 1.5/10)

1. Τι είναι ένα αρχείο testbench;
A) Το top-level αρχείο του κυκλώματος.
B) Αρχείο για τον έλεγχο του κυκλώματος.
C) Ένα πακέτο με δηλώσεις του χρήστη.
D) Εναλλακτική περιγραφή του κυκλώματος.
2. Επιλέξτε τα σωστά λογικά επίπεδα που υποστηρίζει η τετράτιμη λογική της Verilog.
A) 'X', 'Z', '0', '1'. B) '0', '1', '-', 'X'. Γ) 'U', 'X', '0', '1'. Δ) 'L', 'H', 'Z', 'U'.
3. Δίνονται τα διανύσματα a[6:10], b[6:2], c[1:4]. Ποιο το εύρος του καθενός, αντίστοιχα;
A) 6, 4, 4. B) 5, 3, 5. Γ) 5, 5, 4. Δ) 6, 4, 5.
4. Για τα παραπάνω διανύσματα a, b, c, ποια από τις παρακάτω αναθέσεις δεν είναι ορθή;
A) a[6:10] <= {c, 1'b1}; B) a[5:4] <= b[4:5]; Γ) c[1:3] = a[6:8]; Δ) b[2:2] = 1;
5. Ποια από τις παρακάτω δεν αποτελεί λέξη-κλειδί της Verilog;
A) in. B) output. Γ) wire. Δ) reg.
6. Για το ακόλουθο τμήμα κώδικα Verilog συμπληρώστε τη σωστή λίστα ευαισθησίας.

```
always @(...) begin
  a = b + 1'b1; c = {1'b0, b[5:0]}; d = a ^ c ^ e;
end
```

- | | |
|----------------|-------------------|
| A) a, b, c, e. | B) a, b, c, d, e. |
| Γ) a, c, d. | Δ) a, b, d, e. |
7. Ποια από τις παρακάτω διεργασίες συστήματος δεν υποστηρίζεται από τη Verilog;
A) readmemb. B) fdisplay. Γ) monitor. Δ) readmemd.
 8. Σε ποια κωδικοποίηση, δύο διαδοχικές τιμές διαφέρουν πάντα κατά ένα bit;
A) Gray. B) One-hot. Γ) Two-hot. Δ) Binary.
 9. Ποιο το ελάχιστο εύρος διανύσματος διεύθυνσης, για τη διευθυνσιοδότηση μνήμης RAM με 57 θέσεις;
A) 5. B) 6. Γ) 7. Δ) 8.
 10. Τι είδους κύκλωμα υλοποιεί ο ακόλουθος κώδικας;

```
always @(posedge clk)
  q <= d;
```

- A) Έναν πολυπλέκτη 2-σε-1.
Γ) Έναν τρισταθί απομονωτή.

- B) Ένα flip-flop τύπου D.
Δ) Ένα μανδαλωτή.

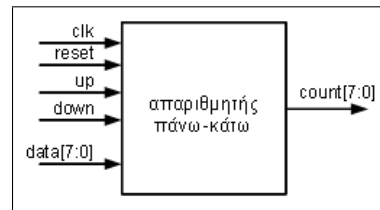
2) Να γραφεί ο κώδικας Verilog για τα εξής κυκλώματα. (Βαθμοί: 3.0/10)

1. Πολυπλέκτης 3-σε-1 με εισόδους δεδομένων των 4-bit.
2. Σύγχρονη μνήμη ROM (είσοδοι clk, address, έξοδος data των 8-bit) για τους 8 διαδοχικούς πρώτους αριθμούς, ξεκινώντας από τον 2. Πρώτος αριθμός είναι αυτός που διαιρείται ακριβώς μόνο με το 1 και τον εαυτό του. Χρησιμοποιείστε κατάλληλο εύρος διεύθυνσης.
3. Κύκλωμα πλειοψηφίας (majority voter) τεσσάρων εισόδων του 1-bit. Η έξοδος του είναι '1' όταν τρεις ή παραπάνω από τις εισόδους του έχουν την τιμή '1' αλλιώς είναι '0'.

3) Να γραφεί ο κώδικας Verilog για τα εξής κυκλώματα. (Βαθμοί: 3.0/10)

1. Αριθμητική μονάδα με εισόδους δεδομένων a, b των 8-bit (απρόσημοι), είσοδο επιλογής sel των 3-bit, και έξοδο δεδομένων y των 8-bit, η οποία να εκτελεί τις λειτουργίες: α) ADD: πρόσθεση των a, b, β) SUB: αφαίρεση των a, b, γ) MOVA: μεταφορά του a στην έξοδο, δ) SHRB: ολίσθηση του b κατά μία θέση δεξιά, ε) SHLB: ολίσθηση του b κατά μία θέση αριστερά, στ) RORB: περιστροφή του b κατά μία θέση δεξιά, και ζ) ROLB: περιστροφή του b κατά μία θέση αριστερά. Να γράψετε τις σωστές εξόδους κάθε λειτουργίας για a = 8'h63, b = 8'hAB.

2. Σύγχρονος απαριθμητής των 8-bit με δυνατότητα απαριθμησης προς τα πάνω και προς τα κάτω (up-down counter). Ο απαριθμητής διαθέτει τις εισόδους up, down που είναι εισόδοι ελέγχου, την είσοδο δεδομένων data, και την έξοδο δεδομένων count. Όταν μόνο η είσοδος up είναι '1' απαριθμεί προς τα πάνω, όταν μόνο η down είναι '1' απαριθμεί προς τα κάτω και όταν και οι δύο εισόδοι ελέγχου είναι '1' δεν εκτελείται καμία από τις δύο λειτουργίες.



- 4) Το διπλανό σχήμα περιγράφει το διάγραμμα καταστάσεων του FSMD για την άθροιση n διαδοχικών όρων (summing circuit). Το κύκλωμα διαθέτει είσοδο n με εύρος W-bit, είσοδο ρολογιού clk, επανατοποθέτησης reset, έξοδο δεδομένων y των W-bit, και έξοδο κατάστασης done που γίνεται 1 με την ολοκλήρωση των υπολογισμών. Ακόμη, υπάρχει καταχωρητής nreg που προσφέρει προσωρινή αποθήκευση για τα δεδομένα n και καταχωρητής sum των W-bit για το συσσωρευόμενο αποτέλεσμα.

Να σχεδιαστεί το κύκλωμα σε Verilog. (Βαθμοί: 2.5/10)

