

# CST304: Γλώσσες Περιγραφής Υλικού I (Verilog HDL)

Διδάσκων: Νικόλαος Καββαδίας (Λέκτορας, Π.Δ. 407/80), email: nkavn@uop.gr

Ημερομηνία εξέτασης: Δευτέρα 17 Σεπτεμβρίου 2012  
Ωρα εξέτασης: 14:30-17:30  
Ακαδημαϊκό έτος: 2011-2012

- 1) Να σχεδιαστούν τα παρακάτω κυκλώματα. (Βαθμοί: 2.5/10)
  1. Αποκωδικοποιητής 3-σε-8.
  2. Σύγχρονος απαριθμητής των 8-bit με δυνατότητα απαρίθμησης προς τα πάνω. Ο απαριθμητής διαθέτει τις εισόδους *clk*, *reset*, την *load* για παράλληλη φόρτωση αρχικής τιμής από την είσοδο δεδομένων *data*, και την έξοδο δεδομένων *count*. Ποια η τιμή της *count* μετά από 1000 κύκλους ρολογιού για αρχική τιμή δεδομένων *data* = 8'h72;
- 2) Να σχεδιαστούν τα παρακάτω κυκλώματα. (Βαθμοί: 2.0/10)
  1. Πολυπλέκτης 4-σε-1 με εισόδους δεδομένων των 8-bit.
  2. Κύκλωμα πλειοψηφίας (majority voter) τεσσάρων εισόδων του 1-bit. Η έξοδος του είναι '1' όταν τρεις ή παραπάνω από τις εισόδους του έχουν την τιμή '1' αλλιώς είναι '0'.
- 3) Να σχεδιαστούν τα παρακάτω κυκλώματα. (Βαθμοί: 3.0/10)
  1. Μνήμη RAM των 256 θέσεων με σύγχρονη ανάγνωση και εισόδους *clk*, *we*, διεύθυνσης ανάγνωσης *raddr* και εγγραφής *waddr* κατάλληλου εύρους, είσοδο δεδομένων *din* των 32-bit, και αντίστοιχη έξοδο *dout* των 32-bit.
  2. Αριθμητική μονάδα με εισόδους δεδομένων *a*, *b* των 8-bit (απρόσημοι), είσοδο επιλογής *sel* των 3-bit, και έξοδο δεδομένων *y* των 8-bit, η οποία να εκτελεί τις λειτουργίες:
    - α) ADD: πρόσθεση των *a*, *b*,
    - β) MIN: η έξοδος *y* ισούται με τον μικρότερο των *a*, *b*,
    - γ) MAX: η έξοδος *y* ισούται με τον μεγαλύτερο των *a*, *b*,
    - δ) AVG: εξαγωγή του μέσου  $((a + b)/2)$  των *a*, *b* χωρίς τη χρήση διαιρέσεως,
    - ε) MIXA: συνένωση των 4 πιο σημαντικών ψηφίων του *a* με τα 4 πιο σημαντικά του *b*,
    - στ) MIXB: συνένωση των 4 πιο σημαντικών ψηφίων του *b* με τα 4 πιο σημαντικά του *a*.Να γράψετε τις σωστές εξόδους κάθε λειτουργίας για *a* = 8'h47, *b* = 8'hAB.
- 4) Πρώτοι αριθμοί (prime numbers) είναι εκείνοι οι φυσικοί αριθμοί  $n \geq 2$  οι οποίοι διαιρούνται ακριβώς μόνο με το 1 και τον εαυτό τους. Ο παρακάτω πίνακας περιγράφει κατά βήματα ένα απλό αλγόριθμο για τον έλεγχο πρώτων αριθμών. Ζητείται η σχεδίαση του αντίστοιχου κυκλώματος FSMD σε Verilog. Το κύκλωμα διαθέτει είσοδο δεδομένων *x* με εύρος 16-bit, είσοδο ρολογιού *clk*, ασύγχρονης επανατοποθέτησης *reset*, ενεργοποίησης *start* καθώς και έξοδο δεδομένων *outp* και την έξοδο κατάστασης *done* που γίνεται 1 με την ολοκλήρωση των υπολογισμών. Μπορείτε να χρησιμοποιήσετε βοηθητικούς καταχωρητές *ti* των 16-bit με  $i \geq 0$ . (Βαθμοί: 2.5/10)

Κατάσταση	Λειτουργία
S1	Αν ο $n$ είναι $\leq$ του 1, επόμενη κατάσταση είναι η S2, αλλιώς η S3
S2	Μηδενισμός της <i>outp</i> και μετάβαση στην S8
S3	Ανάθεση του 2 στον καταχωρητή <i>t0</i> και μετάβαση στην S6
S4	Αν ο <i>t0</i> διαιρεί ακριβώς τον $n$ , επόμενη κατάσταση είναι η S2, αλλιώς η S5
S5	Αύξηση του <i>t0</i> κατά 1 και μετάβαση στην S6
S6	Αν το τετράγωνο του <i>t0</i> είναι $\leq$ του $n$ , επόμενη κατάσταση είναι η S4, αλλιώς η S7
S7	Η <i>outp</i> ισούται με 1. Μετάβαση στην S8
S8	<i>done</i> = 1