

CST304: Γλώσσες Περιγραφής Υλικού I (Verilog HDL)

Διδάσκων: Νικόλαος Καββαδίας (Λέκτορας, Π.Δ. 407/80)
nkavn@uop.gr

Εξεταστική Νοεμβρίου 2011 για φοιτητές επί πτυχίω

Ημερομηνία εξέτασης: Τρίτη 15 Νοεμβρίου 2011
Ώρα εξέτασης: 15:00-18:00
Ακαδημαϊκό έτος: 2010-2011

Θέματα

- 1) Να απαντηθούν τα παρακάτω ερωτήματα. (Βαθμοί: 3.5/10)
 1. Σχεδιάστε πολυπλέκτη 4-σε-1 με εισόδους δεδομένων των 3-bit.
 2. Σχεδιάστε καταχωρητή των 8-bit με εισόδους $clk, d, reset$ (ασύγχρονο) και έξοδο q .
- 2) Να απαντηθούν τα παρακάτω ερωτήματα. (Βαθμοί: 3.5/10)
 1. Τι γνωρίζετε για τα FSMD;
 2. Να σχεδιαστεί αριθμητική μονάδα με εισόδους δεδομένων a, b των 8-bit (απρόσημοι), είσοδο επιλογής sel των 3-bit, και έξοδο δεδομένων y των 8-bit, η οποία να εκτελεί τις λειτουργίες:
 - α) ADD: πρόσθεση των a, b ,
 - β) XOR: αποκλειστικό-Η των a, b ,
 - γ) MOVA: μεταφορά του a στην έξοδο,
 - δ) MIN: η έξοδος y ισούται με τον μικρότερο των a, b .
 - ε) MAX: η έξοδος y ισούται με τον μεγαλύτερο των a, b .
 - στ) SHLA: αριστερή λογική ολίσθηση του a κατά όσες θέσεις δείχνουν τα χαμηλότερης σημαντικότητας ψηφία του b , και
 - ζ) SHRA: δεξιά λογική ολίσθηση του a με αντίστοιχο τρόπο.Να γράψετε τις σωστές εξόδους κάθε λειτουργίας για $a = 8'h36, b = 8'hA9$.
- 3) Η σχέση $eda = MAX((0.875 * x + 0.5 * y), x)$ όπου $x = MAX(|a|, |b|)$ και $y = MIN(|a|, |b|)$ αποτελεί μία προσέγγιση της ευκλείδειας απόστασης στο επίπεδο, η ακριβής τιμή της οποίας δίνεται από την έκφραση $\sqrt{a^2 + b^2}$. Ο παρακάτω πίνακας περιγράφει κατά βήματα τον εν λόγω αλγόριθμο. Ζητείται ο σχεδιασμός του αντίστοιχου κυκλώματος FSMD σε Verilog. Το κύκλωμα διαθέτει εισόδους x, y με εύρος 8-bit, είσοδο ρολογιού clk , ασύγχρονης επανατοποθέτησης $reset$, ενεργοποίησης $start$ καθώς και έξοδο δεδομένων eda και την έξοδο κατάστασης $done$ που γίνεται 1 με την ολοκλήρωση των υπολογισμών. Μπορείτε να χρησιμοποιείτε βοηθητικούς καταχωρητές ti των 8-bit. (Βαθμοί: 3.0/10)

Κατάσταση	Λειτουργία
S1	Υπολογισμός της απόλυτης τιμής των a και του b και αποθήκευση αντίστοιχα σε $t1$ και $t2$
S2	Υπολογισμός του μεγίστου και ελαχίστου των $t1, t2$ και αποθήκευση αντίστοιχα σε x και y
S3	Διαίρεση του x με το 8 και υποδιπλασιασμός του y . Αποθήκευση σε $t3, t4$, αντίστοιχα
S4	Αφαίρεση του $t3$ από το x
S5	Άθροιση του $t4$ με το αποτέλεσμα της S4
S6	Υπολογισμός της εξόδου eda ως τον μεγαλύτερο μεταξύ των x και του αποτελέσματος της S5
S7	$done = 1$