

CST304: Γλώσσες Περιγραφής Υλικού I (Verilog)

Διδάσκων: Νικόλαος Καββαδίας (Λέκτορας, Π.Δ. 407/80)
nkavn@uop.gr

Εξεταστική Σεπτεμβρίου 2010

Ημερομηνία εξέτασης: Τετάρτη 22 Σεπτεμβρίου 2010
Ώρα εξέτασης: 10:00-13:00
Ακαδημαϊκό έτος: 2009-2010

Θέματα

1) Σε κάθε ένα από τα παρακάτω ερωτήματα να επιλεγθεί η σωστή από τις προτεινόμενες απαντήσεις. (Βαθμοί: 2.0/10)

1. Τι είναι ένα αρχείο testbench;
A) Το top-level αρχείο του κυκλώματος.
B) Αρχείο για τον έλεγχο του κυκλώματος.
C) Ένα πακέτο με δηλώσεις του χρήστη.
D) Εναλλακτική περιγραφή του κυκλώματος.
2. Επιλέξτε τα σωστά λογικά επίπεδα που υποστηρίζει η τετράτιμη λογική της Verilog.
A) 'X', 'Z', '0', '1'. B) '0', '1', '-', 'X'.
C) 'U', 'X', '0', '1'. D) 'L', 'H', 'Z', 'U'.
3. Δίνονται τα διανύσματα a[7:3], b[7:11], c[1:4]. Ποιο το εύρος του καθενός, αντίστοιχα;
A) 6, 4, 4. B) 5, 5, 4. C) 5, 3, 5. D) 6, 4, 5.
4. Για τα παραπάνω διανύσματα a, b, c, ποια από τις παρακάτω αναθέσεις δεν είναι ορθή;
A) a[6:10] <= {c, 1'b1}; B) a[5:4] <= b[7:8];
C) c[1:3] = b[7:9]; D) c[2:2] = 1'b1;
5. Ποια από τις παρακάτω δεν αποτελεί λέξη-κλειδί της Verilog;
A) always. B) while. C) node. D) else.
6. Τι είδους κύκλωμα υλοποιεί ο ακόλουθος κώδικας;

```
always @(clk or d)
  if (clk == 1)
    q <= d;
```

- A) Έναν πολυπλέκτη 2-σε-1. B) Ένα flip-flop τύπου D.
C) Έναν τρισταθί απομονωτή. D) Ένα μανδαλωτή.
7. Ποιο το αποτέλεσμα της $a = b \wedge c$;, αν $b = 4'b1001$, $c = 4'b1101$;
A) 4'b0100. B) 4'b1000. C) 4'b1011. D) 4'b0111.
8. Σε ποια κωδικοποίηση, δύο διαδοχικές τιμές διαφέρουν πάντα κατά ένα bit;
A) One-hot. B) One-cold. C) Johnson. D) Binary.

9. Ποιο το ελάχιστο εύρος διανύσματος διεύθυνσης, για τη διευθυνσιοδότηση μνήμης ROM με 158 θέσεις;
 Α) 7. Β) 8. Γ) 9. Δ) 10.
10. Έστω wire $a[3:0]$ το οποίο οδηγείται ταυτόχρονα από δύο διαφορετικά σήματα, $b = 4'b1111$ και $c = 4'b0000$. Ποια είναι η τιμή του;
 Α) $4'b0000$. Β) $4'b1111$. Γ) $4'bZZZZ$. Δ) $4'bXXXX$.

2) Να γραφεί ο κώδικας Verilog για τα εξής κυκλώματα. (Βαθμοί: 2.5/10)

- Μνήμη RAM των 32 θέσεων με σύγχρονη ανάγνωση και εισόδους clk, we του 1-bit, $address$ κατάλληλου εύρους, din των 8-bit, και έξοδο $dout$ των 8-bit.
- Αποκωδικοποιητής 2-σε-4.

3) Να γραφεί ο κώδικας Verilog για τα εξής κυκλώματα. (Βαθμοί: 3.0/10)

- Αριθμητική μονάδα με εισόδους δεδομένων a, b των 8-bit (απρόσημοι), είσοδο επιλογής sel των 3-bit, και έξοδο δεδομένων y των 8-bit, η οποία να εκτελεί τις λειτουργίες:
 - ADD: πρόσθεση των a, b ,
 - SUB: αφαίρεση των a, b ,
 - XOR: αποκλειστικό-Ή των a, b ,
 - MOVB: μεταφορά του b στην έξοδο,
 - AVG: εξαγωγή του μέσου $((a + b)/2)$ των a, b χωρίς τη χρήση διαίρεσης,
 - CMP: σύγκριση των a, b . Η έξοδος y είναι $8'h01$ όταν $a > b$, αλλιώς είναι $8'h00$.
 Να γράψετε τις σωστές εξόδους κάθε λειτουργίας για $a = 8'h53$, $b = 8'hBC$.
- Τι γνωρίζετε για τους διαιρέτες ρολογιού; Να συμπληρωθεί η παρακάτω περιγραφή ενός απλού παραμετρικού διαιρέτη ρολογιού με τα απαιτούμενα τμήματα κώδικα.

```

`define LENGTH 7
module clockdiv(clk_in, rst, clk_out);
  input  clk_in, rst;
  output clk_out;
  reg    clk_out;
  reg [7:0] count_i;

  always @(posedge clk_in)
  begin
    if (rst) begin
      ???
    end
  end
endmodule

```

```

end
else begin
  if (count_i == ???)
    clk_out <= ???;
  else if (count_i == ???) begin
    ???
  end
  ???
end
end
endmodule

```

- 4) Ο παρακάτω πίνακας περιγράφει σε φυσική γλώσσα κατά βήματα τον αλγόριθμο του πολλαπλασιασμού αλά ρωσικά (Russian peasant multiplication). Ζητείται ο σχεδιασμός του αντίστοιχου κυκλώματος FSMD σε Verilog. Το κύκλωμα διαθέτει μη αρνητικές εισόδους $m1, m2$ με εύρος 8-bit, είσοδο ρολογιού clk , επανατοποθέτησης $reset$, ενεργοποίησης $start$ καθώς και έξοδο δεδομένων y των 16-bit, και έξοδο κατάστασης $done$ που γίνεται 1 με την ολοκλήρωση των υπολογισμών. Ακόμη, υπάρχει καταχωρητής p των 16-bit που προσφέρει αποθήκευση του προσωρινού αποτελέσματος και βοηθητικοί καταχωρητές $t1, t2$ των 8-bit. (Βαθμοί: 2.5/10)

Κατάσταση	Λειτουργία
S1	$p = 0$; $t1 = m1$; $t2 = m2$;
S2	Αν $t2 > 0$, τότε επόμενη κατάσταση είναι η S3, αλλιώς η S7
S3	Αν ο $t2$ είναι περιττός, τότε $p = p + t1$;
S4	Διπλασιασμός του $t1$
S5	Υποδιπλασιασμός του $t2$
S6	Επόμενη κατάσταση η S2
S7	$y = p$;