

CST304: Γλώσσες Περιγραφής Υλικού I

Νικόλαος Καββαδίας
nkavn@uop.gr

24 Φεβρουαρίου 2011

Γενικές πληροφορίες

| | |
|------------------|---|
| Μάθημα: | Γλώσσες Περιγραφής Υλικού I (CST304) |
| Εξάμηνο: | 2ο, μάθημα κορμού |
| Παραδόσεις: | Τετάρτη 11:00-14:00 θεωρία και 09:00-11:00 εργαστήριο |
| Ακαδημαϊκό έτος: | 2010-2011 |
| Διδάσκων: | Νικόλαος Καββαδίας (nkavn@uop.gr) |
| Ιστοσελίδα: | http://eclass.uop.gr/courses/CST304/index.php |

Σκοπός του μαθήματος

Βασικός στόχος του μαθήματος είναι η εξοικείωση με τη γλώσσα περιγραφής Verilog και η χρησιμοποίησή της στο σχεδιασμό συνθέσιμων ψηφιακών κυκλωμάτων. Καθώς η Verilog HDL είναι μία ιδιαίτερα εκτεταμένη γλώσσα θα δοθεί έμφαση σε εκείνες τις δομές της οι οποίες χρησιμοποιούνται για τη μοντελοποίηση ψηφιακών κυκλωμάτων και συστημάτων και για την επαλήθευση της ορθής λειτουργίας τους.

Περιεχόμενο του μαθήματος

Συνοπτικά το περιεχόμενο του μαθήματος έχει ως εξής:

- Παρουσίαση της γλώσσας περιγραφής υλικού Verilog HDL (πρότυπο του 1995)
- Βασικά και προχωρημένα κυκλώματα
- Εργαλεία σχεδιασμού και σύνθεσης ψηφιακών κυκλωμάτων
- Υλοποίηση ψηφιακών συστημάτων σε Verilog HDL
- Μοντελοποίηση κυκλωμάτων σε Verilog-2001 και Verilog-2005

Προτεινόμενα συγγράματα

- [1] M. Morris Mano Ψηφιακή Σχεδίαση, 3η έκδοση. Παπασωτηρίου, 2005.
- [2] Samir Palnitkar. Verilog HDL: A Guide to Digital Design and Synthesis. Sunsoft Press. Καλό βιβλίο για μια ομαλή εισαγωγή στη Verilog HDL. Υπάρχει και έκδοση του 2003 από τον εκδοτικό οίκο Prentice-Hall.
- [3] Douglas J. Smith. HDL Chip Design. Doone Publications. Παλιό αλλά καλό βιβλίο με πλήρη κάλυψη των γλωσσών περιγραφής υλικού VHDL και Verilog HDL.

Στη διδασκαλία θα χρησιμοποιηθεί κατά περίπτωση και υλικό από την εκτεταμένη βιβλιογραφία που μπορείτε να βρείτε στην ιστοσελίδα του μαθήματος.

■Αξίζει να σημειωθεί ότι τα συγγράματα που έχουν προβλεφθεί για το μάθημα καλύπτουν μόνο τη χρήση της VHDL. Το βιβλίο του Mano το οποίο προσφέρεται στο μάθημα της Λογικής Σχεδίασης αποτελεί ένα εισαγωγικό αλλά όχι πλήρες βοήθημα για τις “Γλώσσες Περιγραφής Υλικού Γ”.

Οργάνωση των παραδόσεων

Η οργάνωση του μαθήματος στοχεύει στην εκμάθηση του σωστού σχεδιασμού ψηφιακών κυκλωμάτων και συστημάτων με τη Verilog HDL.

Η ενδεικτική κατανομή των διαλέξεων έχει ως εξής:

1. Εισαγωγή στη Verilog HDL
2. Μοντελοποίηση συνδυαστικών κυκλωμάτων
3. Μοντελοποίηση ακολουθιακών κυκλωμάτων
4. Προχωρημένα στοιχεία της Verilog HDL
5. Σύνταξη παραμετρικών περιγραφών
6. Σύνταξη κώδικα για λογική σύνθεση
7. Δομές ελέγχου/επαλήθευσης λειτουργίας των κυκλωμάτων
8. Μηχανές πεπερασμένων καταστάσεων
9. Εργαλεία ανάπτυξης και προσομοίωσης μοντέλων Verilog HDL
10. Μοντελοποίηση χειριστών δεδομένων και απλών επεξεργαστών
11. Τεχνικές περιγραφής και κυκλώματα για προχωρημένους

Πρακτική εξάσκηση στις ώρες του εργαστηρίου

Η πρακτική εξάσκηση θα λαμβάνει χώρα στο Εργαστήριο PCs του Τμήματος. Το κύριο αντικείμενο είναι ο σχεδιασμός ενός ψηφιακού κυκλώματος σε Verilog HDL και η προσομοίωσή του με κατάλληλο εργαλείο προσομοίωσης (Icarus Verilog). Για την εξακρίβωση της σωστής λειτουργίας του κυκλώματος, οι φοιτητές θα εφαρμόζουν σενάρια δοκιμής στο κύκλωμα με σύνταξη κώδικα ελέγχου/επαλήθευσης (testbench).

Εργασία εξαμήνου

Στους φοιτητές θα δοθούν

- α) Δύο πακέτα με ασκήσεις προς επίλυση τα οποία θα είναι κοινά για όλους
- β) Θέματα για μία υποχρεωτική εργασία σε ομάδες των 1-2 ατόμων τις οποίες θα κληθούν να παραδώσουν σε κατάλληλη ημερομηνία πριν από την διεξαγωγή των εξετάσεων του εξαμήνου.

Καμία παράταση δεν θα δοθεί για την ημερομηνία παράδοσης εργασιών που θα ανακοινωθεί.

Βαθμολόγηση

- Το μάθημα θα έχει γραπτή εξέταση, δύο πακέτα ασκήσεων και μία υποχρεωτική εργασία (σε ομάδες των 1-2 ατόμων)
- Έστω x ο βαθμός στη γραπτή εξέταση και y σε ασκήσεις και εργασία
- Τελικός βαθμός ($0.0 \leq G \leq 10.0$)
 - $G = x$, αν $x < 5.0$
 - $G = 0.7 \cdot x + 0.3 \cdot y$, αν $x \geq 5.0$