

Πρόβλημα 1 από το Project Euler

Μάθημα: Γλώσσες Περιγραφής Υλικού I (CST304 / 2011-2012)

Διδάσκων: Νικόλαος Καββαδίας

nkavn@uop.gr

03/06/2012

Αντικείμενο της εργασίας

Αντικείμενο αυτής της εργασίας είναι η περιγραφή σε Verilog HDL ενός κυκλώματος το οποίο θα υπολογίζει το άθροισμα διαδοχικών μη αρνητικών ακεραίων (στο διάστημα $[0, N]$) οι οποίοι διαιρούνται ακριβώς με το 3 και με το 5.

Το κύκλωμα θα δέχεται ως είσοδο το διάνυσμα x εύρους 32-bit το οποίο αντιστοιχεί στο άνω όριο N και διαθέτει έξοδο y εύρους 32-bit η οποία αναπαριστά το άθροισμα. Η είσοδος θα φορτώνεται όταν $start = 1$. Η σημαία $done$ γίνεται 1 με το πέρας της όλης διαδικασίας. Το κύκλωμα διαθέτει κατά τα γνωστά και τις εισόδους clk και $reset$.

Προτείνεται η υλοποίηση του κυκλώματος με τη βοήθεια μηχανής πεπερασμένων καταστάσεων η οποία θα ελέγχει τον αντίστοιχο χειριστή δεδομένων (αρχιτεκτονική FSM: Finite-State Machine with Datapath).

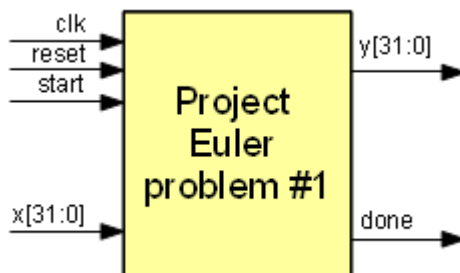
Στο Σχήμα 1 δίνεται ψευδοκώδικας, ο οποίος περιγράφει τη λειτουργία του κυκλώματος. Τα σχόλια που περιλαμβάνονται στον ψευδοκώδικα, δίνουν ένα ενδεικτικό διαχωρισμό της συμπεριφοράς του κυκλώματος σε καταστάσεις ενός FSM (μηχανή πεπερασμένων καταστάσεων).

```
STATE_1:
    sum = 0; i = 0; goto STATE_6;
STATE_2:
    t = i % 3; if (t == 0) {goto STATE_4;} else {goto STATE_3;}
STATE_3:
    u = i % 5; if (u == 0) {goto STATE_4;} else {goto STATE_5;}
STATE_4:
    sum = sum + i; goto STATE_5;
STATE_5:
    i = i + 1; goto STATE_6;
STATE_6:
    if (i < x) {goto STATE_2;} else {goto STATE_7;}
STATE_7:
    y = sum;
```

Σχήμα 1: Ψευδοκώδικας για τον αλγόριθμο του 1ου προβλήματος από το project Euler.

Ζητείται να επιβεβαιωθεί ότι για $x=32'h00000064$, η έξοδος είναι $y=32'h00000090e$.

Ενδεικτική διεπαφή του κυκλώματος δίνεται στο Σχήμα 2, και οι θύρες εισόδου και εξόδου περιγράφονται αναλυτικά στον Πίνακα 1.



Σχήμα 2: Η διεπαφή του κυκλώματος.

Πίνακας 1: Θύρες εισόδου και εξόδου για το κύκλωμα.

Θύρα	Εύρος bit	Κατευθυντικότητα	Περιγραφή
clk	1	Είσοδος	Είσοδος ρολογιού
reset	1	Είσοδος	Επανατοποθέτηση
start	1	Είσοδος	Έναρξη λειτουργίας του κυκλώματος
x	32	Είσοδος	Άνω όριο για τους διαδοχικούς όρους εισόδου.
y	32	Έξοδος	Το υπολογιζόμενο άθροισμα
done	1	Έξοδος	Σημεία υπόδειξης του τερματισμού λειτουργίας του κυκλώματος

Παράδοση και βαθμολόγηση της εργασίας

Στην εργασία του μαθήματος, ο φοιτητής καλείται

- να παραδώσει την περιγραφή του κυκλώματος που σχεδίασε σε Verilog HDL
- να αναπτύξει σε κείμενο την περιγραφή της λειτουργίας του κυκλώματος
- να παρουσιάσει αποτελέσματα (π.χ. κυματομορφές, αρχεία εισόδου/εξόδου) τα οποία να αποδεικνύουν τη σωστή λειτουργία του κυκλώματος

Η εργασία παραδίδεται σε τυπωμένη μορφή (με το συνολικό κώδικα Verilog HDL) και υποβάλλεται σε ηλεκτρονική μορφή (PDF της εργασίας + αρχεία κώδικα) στο email του διδάσκοντα. Οι φοιτητές μπορούν να παραδώσουν τις εργασίες τους το αργότερο μέχρι και τις 30 Ιουνίου 2012. Εργασία η οποία θα παραδοθεί μετά το πέρας αυτής της ημερομηνίας, δεν θα βαθμολογηθεί ώστε να ληφθεί υπόψη για τη βαθμολόγηση στα πλαίσια της εξέτασης της περιόδου Ιουνίου.

Μια εργασία βαθμολογείται με άριστα το 3.0. Μη εμπρόθεσμη παράδοση εργασίας συνεπάγεται το βαθμό μηδέν (0).

Η εργασία του μαθήματος είναι υποχρεωτική.