

Υλοποίηση πολλαπλασιασμού με ακολουθιακό αλγόριθμο

Μάθημα: Γλώσσες Περιγραφής Υλικού I (CST304 / 2011-2012)

Διδάσκων: Νικόλαος Καββαδίας

nkavn@uop.gr

21/05/2012

Αντικείμενο της εργασίας

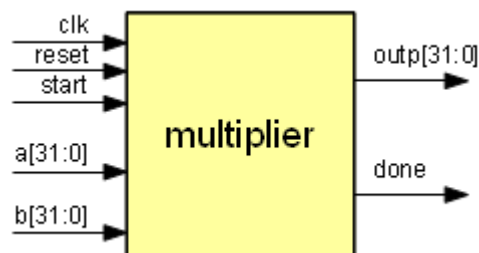
Αντικείμενο αυτής της εργασίας είναι η περιγραφή σε Verilog HDL ενός κυκλώματος το οποίο πραγματοποιεί πολλαπλασιασμό με επαναληπτικό αλγόριθμο. Το κύκλωμα διαθέτει εισόδους a , b των 32-bit και έξοδο $outp$ επίσης των 32-bit, καθώς θεωρείται από τα ψηφία του αποτελέσματος διατηρούνται τα 32 χαμηλότερης σημαντικότητας. Ο αλγόριθμος δίνεται σε ANSI C, χωρισμένος σε καταστάσεις για υλοποίηση με FSM (Finite-State Machine with Datapath) στο Σχήμα 1.

```
STATE_0:
    n = 32; x = a; y = b; z = 0; goto STATE_4;
STATE_1:
    t = x & 1;
    if (t != 0) {goto STATE_2;} else {goto STATE_3;}
STATE_2:
    z = z + y; goto STATE_3;
STATE_3:
    x = x >> 1; y = y << 1; n = n - 1;
    goto STATE_4;
STATE_4:
    if (n != 0) {goto STATE_1;} else {goto STATE_5;}
STATE_5:
    outp = z; goto STATE_6;
STATE_6:
    /* NOP */;
```

Σχήμα 1: Ψευδοκώδικας για τον αλγόριθμο του πολλαπλασιασμού.

Ζητείται να υπολογιστεί το αποτέλεσμα του πολλαπλασιασμού για τιμές των εισόδων a , b από 0 ως 31 (συνολικά 1024 περιπτώσεις).

Ενδεικτική διεπαφή του κυκλώματος δίνεται στο Σχήμα 2, και οι θύρες εισόδου και εξόδου περιγράφονται αναλυτικά στον Πίνακα 1.



Σχήμα 2: Η διεπαφή του κυκλώματος πολλαπλασιασμού.

Πίνακας 1: Θύρες εισόδου και εξόδου για το κύκλωμα

Θύρα	Εύρος bit	Κατευθυντικότητα	Περιγραφή
clk	1	Είσοδος	Είσοδος ρολογιού
reset	1	Είσοδος	Επανατοποθέτηση
start	1	Είσοδος	Σήμα ενεργοποίησης
a	32	Είσοδος	Πολλαπλασιαστής
b	32	Είσοδος	Πολλαπλασιαστής
outp	32	Έξοδος	Αποτέλεσμα (γινόμενο των a, b)
done	1	Έξοδος	Επιβεβαίωση εγκυρότητας της εξόδου

Παράδοση και βαθμολόγηση της εργασίας

Στην εργασία του μαθήματος, ο φοιτητής καλείται

- να παραδώσει την περιγραφή του κυκλώματος που σχεδίασε σε Verilog HDL
- να αναπτύξει σε κείμενο την περιγραφή της λειτουργίας του κυκλώματος
- να παρουσιάσει αποτελέσματα (π.χ. κυματομορφές, αρχεία εισόδου/εξόδου) τα οποία να αποδεικνύουν τη σωστή λειτουργία του κυκλώματος

Η εργασία παραδίδεται σε τυπωμένη μορφή (με το συνολικό κώδικα Verilog HDL) και υποβάλλεται σε ηλεκτρονική μορφή (PDF της εργασίας + αρχεία κώδικα) στο email του διδάσκοντα. Οι φοιτητές μπορούν να παραδώσουν τις εργασίες τους το αργότερο μέχρι και την ημέρα των εξετάσεων της περιόδου Ιουνίου 2012. Εργασία η οποία θα παραδοθεί μετά το πέρας αυτής της ημερομηνίας, δεν θα βαθμολογηθεί ώστε να ληφθεί υπόψη για τις εξετάσεις της περιόδου Ιουνίου.

Μια εργασία βαθμολογείται με άριστα το 3.0. Μη εμπρόθεσμη παράδοση εργασίας συνεπάγεται το βαθμό μηδέν (0).

Η εργασία του μαθήματος είναι υποχρεωτική.