

# Μονοδιάστατο φίλτρο μεγίστου

Μάθημα: Γλώσσες Περιγραφής Υλικού I (CST304 / 2011-2012)

Διδάσκων: Νικόλαος Καββαδίας

[nkavn@uop.gr](mailto:nkavn@uop.gr)

16/05/2012

## Αντικείμενο της εργασίας

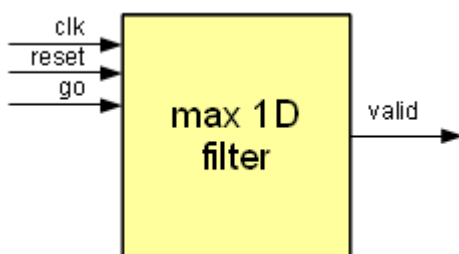
Αντικείμενο αυτής της εργασίας είναι η περιγραφή σε Verilog HDL ενός κυκλώματος το οποίο φιλτράρει τα δεδομένα εικόνας από μία μονοδιάστατη μνήμη θέσεων των 8-bit. Η μνήμη αυτή η οποία ζητείται να υλοποιηθεί ως RAM ασύγχρονης ανάγνωσης mem 4096x8-bit (αντιστοιχεί σε εικόνα διαστάσεων 64x64) και αντιπροσωπεύεται από μεταβλητή τύπου reg κατάλληλων διαστάσεων. Η μνήμη έχει ως αρχικά δεδομένα αριθμούς modulo 256, οι οποίοι παράγονται με τη βοήθεια της διεργασίας συστήματος \$random.

Το φίλτρο μεγίστου λειτουργεί όπως φαίνεται στο Σχήμα 1. Το φίλτρο διαβάζει δύο διαδοχικές τιμές (από τις διευθύνσεις address και address+1) και αντικαθιστά τις αντίστοιχες θέσεις μνήμης με την μεγαλύτερη από αυτές τις δύο τιμές.

```
STATE_1:
  address = 0;
  goto STATE_2;
STATE_2:
  if (address < 4096) goto STATE_3; else goto STATE_5;
STATE_3:
  reg1 = mem[address];
  reg2 = mem[address+1];
  goto STATE_4;
STATE_4:
  mem[address ] = ο μεγαλύτερος των reg1, reg2;
  mem[address+1] = ο μεγαλύτερος των reg1, reg2;
  address = address + 2;
  goto STATE_2;
STATE_5:
  valid = 1;
```

Σχήμα 1: Κώδικας ANSI C για το φίλτρο ελαχίστου.

Ενδεικτική διεπαφή του κυκλώματος δίνεται στο Σχήμα 2, και οι θύρες εισόδου και εξόδου περιγράφονται αναλυτικά στον Πίνακα 1.



Σχήμα 2: Η διεπαφή του κυκλώματος φίλτρου μεγίστου.

**Πίνακας 1:** Θύρες εισόδου και εξόδου για το κύκλωμα.

Θύρα	Εύρος bit	Κατευθυντικότητα	Περιγραφή
clk	1	Είσοδος	Είσοδος ρολογιού
reset	1	Είσοδος	Επανατοποθέτηση
go	1	Είσοδος	Σήμα ενεργοποίησης
valid	1	Έξοδος	Επιβεβαίωση εγκυρότητας της εξόδου

Για τον έλεγχο ορθής λειτουργίας του κυκλώματος, χρειάζεται να γίνει παρατήρηση των τελικών περιεχομένων της μνήμης mem. Για το λόγο αυτό θα πρέπει να χρησιμοποιήσετε κάτι αντίστοιχο με το παρακάτω μπλοκ λογικής. Αυτό είναι αναγκαίο, γιατί τα αρχεία VCD έχουν περιορισμό στο ότι δεν μπορούν να εμφανίσουν τα περιεχόμενα μνήμης.

Έστω λοιπόν ότι έχετε ένα design στο οποίο έχετε την έξοδο valid. Η έξοδος αυτή γίνεται 1 μόνο όταν ολοκληρωθεί ο υπολογισμός του design σας. Προτείνεται να χρησιμοποιήσετε κάτι αντίστοιχο με το παρακάτω. Έστω ότι η μνήμη που σας ενδιαφέρει λέγεται mem και είναι δηλωμένη ως reg [7:0] RAM [0:63].

```
always @(valid)
begin
  if (valid == 1'b1)
    for (i = 0; i < 64; i = i + 1)
      $display("%t: mem[%d] = %h", $time, i, mem[i]);
end
```

Με τον τρόπο αυτό θα πάρετε στη γραμμή εντολών τα τελικά περιεχόμενα της μνήμης.

### **Παράδοση και βαθμολόγηση της εργασίας**

Στην εργασία του μαθήματος, ο φοιτητής καλείται

- να παραδώσει την περιγραφή του κυκλώματος που σχεδίασε σε Verilog HDL
- να αναπτύξει σε κείμενο την περιγραφή της λειτουργίας του κυκλώματος
- να παρουσιάσει αποτελέσματα (π.χ. κυματομορφές, αρχεία εισόδου/εξόδου) τα οποία να αποδεικνύουν τη σωστή λειτουργία του κυκλώματος

Η εργασία παραδίδεται σε τυπωμένη μορφή (με το συνολικό κώδικα Verilog HDL) και υποβάλλεται σε ηλεκτρονική μορφή (PDF της εργασίας + αρχεία κώδικα) στο email του διδάσκοντα. Οι φοιτητές μπορούν να παραδώσουν τις εργασίες τους το αργότερο μέχρι και την ημέρα των εξετάσεων της περιόδου Ιουνίου 2012. Εργασία η οποία θα παραδοθεί μετά το πέρας αυτής της ημερομηνίας, δεν θα βαθμολογηθεί ώστε να ληφθεί υπόψη για τις εξετάσεις της περιόδου Ιουνίου-Ιουλίου.

Μια εργασία βαθμολογείται με άριστα το 3.0. Μη εμπρόθεσμη παράδοση εργασίας συνεπάγεται το βαθμό μηδέν (0).

Η εργασία του μαθήματος είναι υποχρεωτική.