

Υπολογισμός τετραγωνικής ρίζας αριθμού σταθερής υποδιαστολής

Μάθημα: Γλώσσες Περιγραφής Υλικού I (CST304 / 2011-2012)

Διδάσκων: Νικόλαος Καββαδίας

nkavn@uop.gr

28/04/2012

Αντικείμενο της εργασίας

Αντικείμενο αυτής της εργασίας είναι η περιγραφή σε Verilog HDL ενός κυκλώματος το οποίο ζητείται να υπολογίζει την τετραγωνική ρίζα ενός αριθμού σταθερής υποδιαστολής. Ένας τέτοιος αριθμός μπορεί να αναπαρασταθεί από ένα ακέραιο (unsigned int) τον οποίο θεωρούμε χωρισμένο σε δύο πεδία: ένα πεδίο μήκους `intbits` ως το ακέραιο μέρος και ένα πεδίο `fracbits` ως το κλασματικό μέρος (μετά την υποδιαστολή). Στην άσκηση το `fracbits` θα είναι parameter και θα έχει την τιμή 16, δηλ. οι αριθμοί είναι της μορφής 16.16. Η μέθοδος που χρησιμοποιείται παράγει δύο bit από τη λέξη του αποτελέσματος για κάθε επανάληψη.

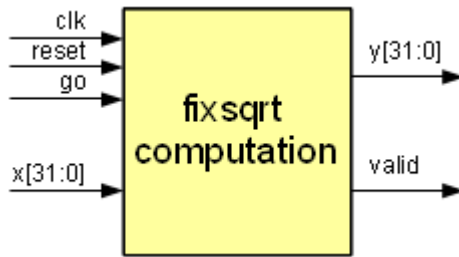
Η ακέραια προσέγγιση της τετραγωνικής ρίζας (συμβολικά: `fixsqrt`) υπολογίζεται σύμφωνα με τον κώδικα (ANSI C) του Σχήματος 1. Η επιστρεφόμενη τιμή της συνάρτησης είναι το ζητούμενο αποτέλεσμα. Η μεταβλητή εισόδου (`x`) και η μεταβλητή εξόδου (`root`) έχουν εύρος 32 bit.

```
STATE_1:
    root = 0; remHi = 0; remLo = x; t0 = fracbits >> 1;
    count = t0 + 15;
    goto STATE_2;
STATE_2:
    t1 = remLo >> fracbits; t2 = remHi << 2;
    goto STATE_2A;
STATE_2A:
    remHi = t1 | t2; remLo = remLo << 2; root = root << 1;
    goto STATE_2B;
STATE_2B:
    t3 = root << 1; testDiv = t3 + 1;
    goto STATE_2C;
STATE_2C:
    if (remHi >= testDiv) {goto STATE_3;} else {goto STATE_4;}
STATE_3:
    remHi = remHi - testDiv; root = root + 1; goto STATE_4;
STATE_4:
    t5 = (count != 0) ? 1 : 0; count = count - 1;
    if (t5 == 1) {goto STATE_2;} else {goto STATE_EXIT;}
STATE_EXIT:
    valid = 1;
```

Σχήμα 1: Κώδικας ANSI C για τον υπολογισμό τετραγωνικής ρίζας αριθμού σταθερής υποδιαστολής. Ο κώδικας είναι χωρισμένος σε καταστάσεις για το αντίστοιχο FSM.

Ενδεικτική διεπαφή του κυκλώματος δίνεται στο Σχήμα 2, και οι θύρες εισόδου και εξόδου περιγράφονται αναλυτικά στον Πίνακα 1. Προτείνεται η σχεδίαση του κυκλώματος με τη μορφή FSM (Finite-State Machine with Datapath).

Ζητείται να ελεγχθεί η λειτουργία του κυκλώματος για τις εξής τιμές εισόδου: 32'h5555AAAA, 32'h80000000, 32'h0000FFFF, 32'h0001FFFF, 32'h10101010, 32'hAAAA5555, 32'h00000000, 32'hFFFFFFFF.



Σχήμα 2: Η διεπαφή του κυκλώματος υπολογισμού τετραγωνικής ρίζας αριθμού σταθερής υποδιαστολής.

Πίνακας 1: Θύρες εισόδου και εξόδου για το κύκλωμα.

Θύρα	Εύρος bit	Κατευθυντικότητα	Περιγραφή
clk	1	Είσοδος	Είσοδος ρολογιού
reset	1	Είσοδος	Επανατοποθέτηση
go	1	Είσοδος	Σήμα ενεργοποίησης
x	32	Είσοδος	Δεδομένα εισόδου
y	32	Έξοδος	Αποτέλεσμα (τετραγωνική ρίζα)
valid	1	Έξοδος	Επιβεβαίωση εγκυρότητας της εξόδου

Παράδοση και βαθμολόγηση της εργασίας

Στην εργασία του μαθήματος, ο φοιτητής καλείται

- να παραδώσει την περιγραφή του κυκλώματος που σχεδίασε σε Verilog HDL
- να αναπτύξει σε κείμενο την περιγραφή της λειτουργίας του κυκλώματος
- να παρουσιάσει αποτελέσματα (π.χ. κυματομορφές, αρχεία εισόδου/εξόδου) τα οποία να αποδεικνύουν τη σωστή λειτουργία του κυκλώματος

Η εργασία παραδίδεται σε τυπωμένη μορφή (με το συνολικό κώδικα Verilog HDL) και υποβάλλεται σε ηλεκτρονική μορφή (PDF της εργασίας + αρχεία κώδικα) στο email του διδάσκοντα. Οι φοιτητές μπορούν να παραδώσουν τις εργασίες τους το αργότερο μέχρι και την ημέρα των εξετάσεων της περιόδου Ιουνίου 2012. Εργασία η οποία θα παραδοθεί μετά το πέρας αυτής της ημερομηνίας, δεν θα βαθμολογηθεί ώστε να ληφθεί υπόψη για τις εξετάσεις της περιόδου Ιουνίου-Ιουλίου.

Μια εργασία βαθμολογείται με άριστα το 3.0. Μη εμπρόθεσμη παράδοση εργασίας συνεπάγεται το βαθμό μηδέν (0).

Η εργασία του μαθήματος είναι υποχρεωτική.