

Δυαδική αναζήτηση σε πίνακα

Μάθημα: Γλώσσες Περιγραφής Υλικού I (CST304 / 2011-2012)

Διδάσκων: Νικόλαος Καββαδίας

nkavv@uop.gr

14/04/2012

Αντικείμενο της εργασίας

Αντικείμενο αυτής της εργασίας είναι η περιγραφή σε Verilog HDL ενός κυκλώματος το οποίο πραγματοποιεί δυαδική αναζήτηση σε πίνακα για την ανεύρεση ενός στοιχείου με την τιμή data. Η τεχνική αυτή χαρακτηρίζεται από χρονική πολυπλοκότητα $O(\log n)$. Εφόσον το αναζητούμενο στοιχείο υπάρχει, το κύκλωμα επιστρέφει τη διεύθυνση στην οποία βρίσκεται στον πίνακα, αλλιώς επιστρέφει την τιμή -1 σε συμπλήρωμα-ως-προς-2. Η θεωρούμενη μνήμη ζητείται να υλοποιηθεί ως RAM ασύγχρονης ανάγνωσης διαστάσεων 32x32-bit. Τα αρχικά δεδομένα της μνήμης μπορούν να δοθούν με ένα μπλοκ λογικής **initial** το οποίο προσδιορίζει ως περιεχόμενα τις τιμές 0 ως 31 (δηλαδή τα περιεχόμενα κάθε θέσης τα θέτουμε ίσα με τη διεύθυνσή τους). Η μνήμη μπορεί να δηλωθεί ως μεταβλητή reg κατάλληλου τύπου μέσα στο ίδιο module.

Η διαδικασία της δυαδικής αναζήτησης δίνεται στο Σχήμα 1 με τη μορφή κώδικα ANSI C υψηλού επιπέδου (επαναληπτική υλοποίηση) και στο Σχήμα 2 ως κώδικας ANSI C χαμηλού επιπέδου. Για τον έλεγχο ορθής λειτουργίας να δοθούν 10 διαφορετικές τιμές εισόδου data από -5 (σε συμπλήρωμα-ως-προς-δύο) μέχρι 40.

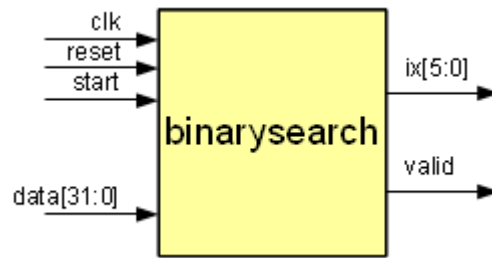
```
int binarysearch(int data) {
    int ix, t=-1, low=0, high=31, middle;
    while (low <= high) {
        middle = low + (high - low) / 2;
        if (data > mem[middle]) {
            low = middle + 1;
        } else if (element < mem[middle]) {
            high = middle - 1;
        } else {
            t = middle; break;
        }
    }
    ix = t; return ix;
}
```

Σχήμα 1: Κώδικας ANSI C για τη δυαδική αναζήτηση σε πίνακα.

```
STATE_1:
    d = data; t = -1; low = 0; high = 31; goto STATE_2;
STATE_2:
    if (low <= high) {goto STATE_3;} else {goto STATE_8;}
STATE_3:
    middle = low + (high - low) / 2; goto STATE_3A;
STATE_3A:
    if (d > mem[middle]) {goto STATE_4;} else {goto STATE_5;}
STATE_4:
    low = middle + 1; goto STATE_2;
STATE_5:
    if (d < mem[middle]) {goto STATE_6;} else {goto STATE_7;}
STATE_6:
    high = middle - 1; goto STATE_2;
STATE_7:
    t = middle; goto STATE_8;
STATE_8:
    ix = t;
```

Σχήμα 2: Ψευδοκώδικας για τη δυαδική αναζήτηση σε πίνακα.

Ενδεικτική διεπαφή του κυκλώματος δίνεται στο Σχήμα 3, και οι θύρες εισόδου και εξόδου περιγράφονται αναλυτικά στον Πίνακα 1.



Σχήμα 3: Η διεπαφή του κυκλώματος γραμμικής αναζήτησης.

Πίνακας 1: Θύρες εισόδου και εξόδου για το κύκλωμα.

Θύρα	Εύρος bit	Κατευθυντικότητα	Περιγραφή
clk	1	Είσοδος	Είσοδος ρολογιού
reset	1	Είσοδος	Επανατοποθέτηση
start	1	Είσοδος	Σήμα ενεργοποίησης
data	32	Είσοδος	Δεδομένα προς αναζήτηση
ix	6	Έξοδος	Αναφερόμενη διεύθυνση των δεδομένων που αναζητήθηκαν, παίρνει τιμές από -32 ως +31. Αυτό το διευρυμένο εύρος χρησιμοποιείται αντί του 0-31, για να μπορεί να αναπαρασταθεί η τιμή -1.
valid	1	Έξοδος	Επιβεβαίωση εγκυρότητας της εξόδου

Παράδοση και βαθμολόγηση της εργασίας

Στην εργασία του μαθήματος, ο φοιτητής καλείται

- να παραδώσει την περιγραφή του κυκλώματος που σχεδίασε σε Verilog HDL
- να αναπτύξει σε κείμενο την περιγραφή της λειτουργίας του κυκλώματος
- να παρουσιάσει αποτελέσματα (π.χ. κυματομορφές, αρχεία εισόδου/εξόδου) τα οποία να αποδεικνύουν τη σωστή λειτουργία του κυκλώματος

Η εργασία παραδίδεται σε τυπωμένη μορφή (με το συνολικό κώδικα Verilog HDL) και υποβάλλεται σε ηλεκτρονική μορφή (PDF της εργασίας + αρχεία κώδικα) στο email του διδάσκοντα. Οι φοιτητές μπορούν να παραδώσουν τις εργασίες τους το αργότερο μέχρι και την ημέρα των εξετάσεων της περιόδου Ιουνίου-Ιουλίου 2012. Εργασία η οποία θα παραδοθεί μετά το πέρας αυτής της ημερομηνίας, δεν θα βαθμολογηθεί ώστε να ληφθεί υπόψη για τις εξετάσεις της περιόδου Ιουνίου-Ιουλίου.

Μια εργασία βαθμολογείται με άριστα το 3.0. Μη εμπρόθεσμη παράδοση εργασίας συνεπάγεται το βαθμό μηδέν (0).

Η εργασία του μαθήματος είναι υποχρεωτική.