

# Γραμμική αναζήτηση σε πίνακα

Μάθημα: Γλώσσες Περιγραφής Υλικού I (CST304 / 2011-2012)

Διδάσκων: Νικόλαος Καββαδίας

[nkavn@uop.gr](mailto:nkavn@uop.gr)

14/04/2012

## Αντικείμενο της εργασίας

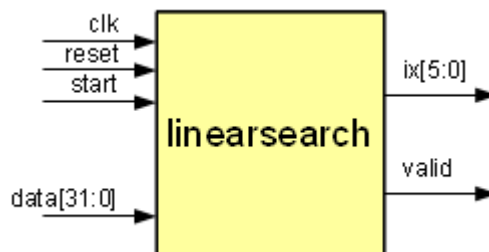
Αντικείμενο αυτής της εργασίας είναι η περιγραφή σε Verilog HDL ενός κυκλώματος το οποίο πραγματοποιεί γραμμική αναζήτηση σε πίνακα για την ανεύρεση ενός στοιχείου με την τιμή data. Εφόσον το στοιχείο αυτό υπάρχει, το κύκλωμα επιστρέφει τη διεύθυνση στην οποία βρίσκεται στον πίνακα, αλλιώς επιστρέφει την τιμή -1 σε συμπλήρωμα-ως-προς-2. Η θεωρούμενη μνήμη ζητείται να υλοποιηθεί ως RAM ασύγχρονης ανάγνωσης διαστάσεων 32x32-bit. Τα αρχικά δεδομένα της μνήμης μπορούν να δοθούν με ένα μπλοκ λογικής **initial** το οποίο προσδιορίζει ως περιεχόμενα τις τιμές 0 ως 31 (δηλαδή τα περιεχόμενα κάθε θέσης τα θέτουμε ίσα με τη διεύθυνσή τους). Η μνήμη μπορεί να δηλωθεί ως μεταβλητή reg κατάλληλου τύπου μέσα στο ίδιο module.

Η διαδικασία της γραμμικής αναζήτησης δίνεται στο Σχήμα 1 με τη μορφή κώδικα ANSI C χαμηλού επιπέδου. Για τον έλεγχο ορθής λειτουργίας να δοθούν 10 διαφορετικές τιμές εισόδου data από -5 (σε συμπλήρωμα-ως-προς-δύο) μέχρι 40.

```
STATE_1:
  t = -1;
  i = 0;
  goto STATE_2;
STATE_2:
  if (i < 32) {goto STATE_3;} else {goto STATE_6;}
STATE_3:
  if (mem[i] == data) {goto STATE_4;} else {goto STATE_5;}
STATE_4:
  t = i;
  goto STATE_6;
STATE_5:
  i = i + 1;
  goto STATE_2;
STATE_6:
  ix = t;
```

Σχήμα 1: Ψευδοκώδικας για τη γραμμική αναζήτηση σε πίνακα.

Ενδεικτική διεπαφή του κυκλώματος δίνεται στο Σχήμα 2, και οι θύρες εισόδου και εξόδου περιγράφονται αναλυτικά στον Πίνακα 1.



Σχήμα 2: Η διεπαφή του κυκλώματος γραμμικής αναζήτησης.

**Πίνακας 1:** Θύρες εισόδου και εξόδου για το κύκλωμα.

Θύρα	Εύρος bit	Κατευθυντικότητα	Περιγραφή
clk	1	Είσοδος	Είσοδος ρολογιού
reset	1	Είσοδος	Επανατοποθέτηση
start	1	Είσοδος	Σήμα ενεργοποίησης
data	32	Είσοδος	Δεδομένα προς αναζήτηση
ix	6	Έξοδος	Αναφερόμενη διεύθυνση των δεδομένων που αναζητήθηκαν, παίρνει τιμές από -32 ως +31. Αυτό το διευρυμένο εύρος χρησιμοποιείται αντί του 0-31, για να μπορεί να αναπαρασταθεί η τιμή -1.
valid	1	Έξοδος	Επιβεβαίωση εγκυρότητας της εξόδου

### **Παράδοση και βαθμολόγηση της εργασίας**

Στην εργασία του μαθήματος, ο φοιτητής καλείται

- να παραδώσει την περιγραφή του κυκλώματος που σχεδίασε σε Verilog HDL
- να αναπτύξει σε κείμενο την περιγραφή της λειτουργίας του κυκλώματος
- να παρουσιάσει αποτελέσματα (π.χ. κυματομορφές, αρχεία εισόδου/εξόδου) τα οποία να αποδεικνύουν τη σωστή λειτουργία του κυκλώματος

Η εργασία παραδίδεται σε τυπωμένη μορφή (με το συνολικό κώδικα Verilog HDL) και υποβάλλεται σε ηλεκτρονική μορφή (PDF της εργασίας + αρχεία κώδικα) στο email του διδάσκοντα. Οι φοιτητές μπορούν να παραδώσουν τις εργασίες τους το αργότερο μέχρι και την ημέρα των εξετάσεων της περιόδου Ιουνίου-Ιουλίου 2012. Εργασία η οποία θα παραδοθεί μετά το πέρας αυτής της ημερομηνίας, δεν θα βαθμολογηθεί ώστε να ληφθεί υπόψη για τις εξετάσεις της περιόδου Ιουνίου-Ιουλίου.

Μια εργασία βαθμολογείται με άριστα το 3.0. Μη εμπρόθεσμη παράδοση εργασίας συνεπάγεται το βαθμό μηδέν (0).

Η εργασία του μαθήματος είναι υποχρεωτική.