

Κύκλωμα υπολογισμού πολλαπλασιαστικού αντιστρόφου (1)

Μάθημα: Γλώσσες Περιγραφής Υλικού I (CST304 / 2011-2012)

Διδάσκων: Νικόλαος Καββαδίας

nkavn@uop.gr

14/04/2012

Αντικείμενο της εργασίας

Αντικείμενο αυτής της εργασίας είναι η περιγραφή σε Verilog HDL ενός κυκλώματος υπολογισμού του πολλαπλασιαστικού αντιστρόφου (multiplicative inverse) ενός αριθμού d , ο οποίος χρησιμοποιείται ως σταθερή τιμή διαιρέτης στη διαίρεση x/d . Τότε αν $m = 1/d$, η διαίρεση με σταθερά μπορεί να αντικατασταθεί από πολλαπλασιασμό με σταθερά ως εξής: $x/d = x * m$, με την προσθήκη κάποιων σταδίων διόρθωσης (adjustment steps), τα οποία δεν μας ενδιαφέρουν εδώ. Ο αριθμός m αποτελεί προσέγγιση του $1/d$ και προφανώς δεν έχει πάντα ακέραια τιμή αλλά είναι εν γένει αριθμός σταθερής υποδιαστολής (fixed-point number) έμμεσα εκπεφρασμένος ως ακέραιος.

Ζητείται να σχεδιαστεί κύκλωμα με είσοδο x των 32-bits και έξοδο m επίσης των 32-bits. Προτείνεται η υλοποίηση του κυκλώματος σε μορφή FSM (Finite-State Machine with Datapath) με περιγραφή επιπέδου RTL.

Η λειτουργία του κυκλώματος θα πρέπει να δοκιμαστεί για τις 10 περιπτώσεις του Σχήματος 1. Η πρώτη στήλη απεικονίζει τις εισόδους x , ενώ η δεξιά τις αντίστοιχες εξόδους m .

```
00000001 00000001
00000003 aaaaaaab
00000005 cccccccd
00000007 b6db6db7
00000009 38e38e39
0000000f eeeeeeeef
00000019 c28f5c29
0000007d 26e978d5
ffffffff ffffffff
ffffff9 49249249
```

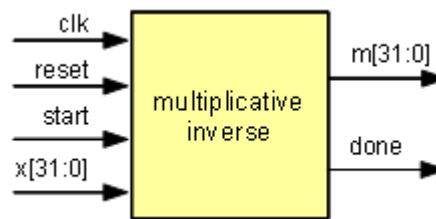
Σχήμα 1: Τιμές δοκιμής για το κύκλωμα του πολλαπλασιαστικού αντιστρόφου.

Στο Σχήμα 2 δίνεται ο ψευδοκώδικας για την υλοποίηση του εν λόγω αλγορίθμου.

```
STATE_1:
  x1 = 4294967295; v1 = ~(d) + 1; x2 = 1; v2 = d; goto STATE_7;
STATE_2:
  q = v1 / v2; t0 = q * x2; goto STATE_3;
STATE_3:
  x3 = x1 - t0; t1 = q * v2; goto STATE_4;
STATE_4:
  v3 = v1 - t1; goto STATE_5;
STATE_5:
  x1 = x2; v1 = v2; goto STATE_6;
STATE_6:
  x2 = x3; v2 = v3; goto STATE_7;
STATE_7:
  if (v2 > 1) {goto STATE_2;} else {goto STATE_8;}
STATE_8:
  m = x2;
```

Σχήμα 2: Ψευδοκώδικας για το κύκλωμα πολλαπλασιαστικού αντιστρόφου.

Ενδεικτική διεπαφή του κυκλώματος δίνεται στο Σχήμα 3, και οι θύρες εισόδου και εξόδου περιγράφονται αναλυτικά στον Πίνακα 1.



Σχήμα 3: Η διεπαφή του κυκλώματος πολλαπλασιαστικού αντιστρόφου.

Πίνακας 1: Θύρες εισόδου και εξόδου για το κύκλωμα

Θύρα	Εύρος bit	Κατευθυντικότητα	Περιγραφή
clk	1	Είσοδος	Είσοδος ρολογιού
reset	1	Είσοδος	Επανατοποθέτηση
start	1	Είσοδος	Σήμα ενεργοποίησης
x	N	Είσοδος	Δεδομένα εισόδου
m	M	Έξοδος	Αποτέλεσμα
done	1	Έξοδος	Σημαία εγκυρότητας εξόδου

Παράδοση και βαθμολόγηση της εργασίας

Στην εργασία του μαθήματος, ο φοιτητής καλείται

- να παραδώσει την περιγραφή του κυκλώματος που σχεδίασε σε Verilog HDL
- να αναπτύξει σε κείμενο την περιγραφή της λειτουργίας του κυκλώματος
- να παρουσιάσει αποτελέσματα (π.χ. κυματομορφές, αρχεία εισόδου/εξόδου) τα οποία να αποδεικνύουν τη σωστή λειτουργία του κυκλώματος

Η εργασία παραδίδεται σε τυπωμένη μορφή (με το συνολικό κώδικα Verilog HDL) και υποβάλλεται σε ηλεκτρονική μορφή (PDF της εργασίας + αρχεία κώδικα) στο email του διδάσκοντα. Οι φοιτητές μπορούν να παραδώσουν τις εργασίες τους το αργότερο μέχρι και την ημέρα των εξετάσεων της περιόδου Ιουνίου-Ιουλίου 2012. Εργασία η οποία θα παραδοθεί μετά το πέρας αυτής της ημερομηνίας, δεν θα βαθμολογηθεί ώστε να ληφθεί υπόψη για τις εξετάσεις της περιόδου Ιουνίου-Ιουλίου.

Μια εργασία βαθμολογείται με άριστα το 3.0. Μη εμπρόθεσμη παράδοση εργασίας συνεπάγεται το βαθμό μηδέν (0).

Η εργασία του μαθήματος είναι υποχρεωτική.