

# Κύκλωμα παραγωγής μπλε κώδικα

Μάθημα: Γλώσσες Περιγραφής Υλικού I (CST304 / 2011-2012)

Διδάσκων: Νικόλαος Καββαδίας

[nkavn@uop.gr](mailto:nkavn@uop.gr)

14/04/2012

## Αντικείμενο της εργασίας

Αντικείμενο αυτής της εργασίας είναι η περιγραφή σε Verilog HDL ενός κυκλώματος το οποίο παράγει ένα αντιστρεπτό κώδικα γνωστό και ως μπλε κώδικα (blue code). Οι πρώτες 32 τιμές για το δυαδικό σύστημα και το σύστημα μπλε κώδικα δίνονται στο Σχήμα 1. Ο αλγόριθμος δίνεται σε χαμηλού επιπέδου ANSI C, χωρισμένος σε καταστάσεις για υλοποίηση με FSM (Finite-State Machine with Datapath) στο Σχήμα 2. Για τον έλεγχο ορθής λειτουργίας θα πρέπει να δοκιμαστούν όλοι οι συνδυασμοί εισόδων x από 8'h00 μέχρι και 8'h1f (συνολικά 32 περιπτώσεις).

```
blue
0:  .....1
1:  .....1
2:  ....11
3:  ....1.
4:  ...1.1
5:  ...1..
6:  ...11.
7:  ...111
8:  ..1111
9:  ..111.
10:  ..11..
11:  ..11.1
12:  ..1.1.
13:  ..1.11
14:  ..1..1
15:  ..1...
16:  .1...1
17:  .1....
18:  .1..1.
19:  .1..11
20:  .1.1..
21:  .1.1.1
22:  .1.111
23:  .1.11.
24:  .1111.
25:  .11111
26:  .111.1
27:  .111..
28:  .11.11
29:  .11.1.
30:  .11...
31:  .11..1
```

**Σχήμα 1:** Οι πρώτες 32 τιμές στο δυαδικό σύστημα και στο σύστημα μπλε κώδικα (η τελεία αντιστοιχεί στο ψηφίο 0).

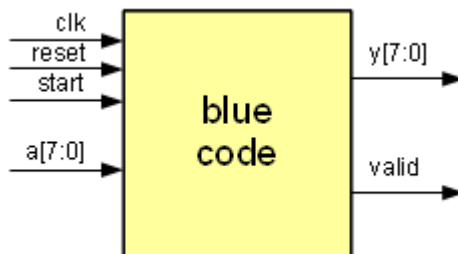
```

STATE_1:
  s = 4; t = 255; k = a; goto STATE_2;
STATE_2:
  m = t << s; goto STATE_3;
STATE_3:
  t0 = k & m; goto STATE_3A;
STATE_3A:
  t1 = t0 >> s; goto STATE_3B;
STATE_3B:
  k = k ^ t1; s = s >> 1; goto STATE_3C;
STATE_3C:
  t2 = m >> s; goto STATE_3D;
STATE_3D:
  m = m ^ t2;
  if (s != 0) {goto STATE_3;} else {goto STATE_4;}
STATE_4:
  y = k;

```

**Σχήμα 2:** Ψευδοκώδικας για τον αλγόριθμο παραγωγής μπλε κώδικα.

Ενδεικτική διεπαφή του κυκλώματος δίνεται στο Σχήμα 3, και οι θύρες εισόδου και εξόδου περιγράφονται αναλυτικά στον Πίνακα 1.



**Σχήμα 3:** Η διεπαφή του κυκλώματος παραγωγής μπλε κώδικα.

**Πίνακας 1:** Θύρες εισόδου και εξόδου για το κύκλωμα.

Θύρα	Εύρος bit	Κατευθυντικότητα	Περιγραφή
clk	1	Είσοδος	Είσοδος ρολογιού
reset	1	Είσοδος	Επανατοποθέτηση
start	1	Είσοδος	Σήμα ενεργοποίησης
a	8	Είσοδος	Δεδομένα εισόδου
y	8	Έξοδος	Κωδικοποιημένη έξοδος
valid	1	Έξοδος	Επιβεβαίωση εγκυρότητας της εξόδου

### Παράδοση και βαθμολόγηση της εργασίας

Στην εργασία του μαθήματος, ο φοιτητής καλείται

- να παραδώσει την περιγραφή του κυκλώματος που σχεδίασε σε Verilog HDL
- να αναπτύξει σε κείμενο την περιγραφή της λειτουργίας του κυκλώματος
- να παρουσιάσει αποτελέσματα (π.χ. κυματομορφές, αρχεία εισόδου/εξόδου) τα οποία να αποδεικνύουν τη σωστή λειτουργία του κυκλώματος

Η εργασία παραδίδεται σε τυπωμένη μορφή (με το συνολικό κώδικα Verilog HDL) και υποβάλλεται σε ηλεκτρονική μορφή (PDF της εργασίας + αρχεία κώδικα) στο email του διδάσκοντα. Οι φοιτητές μπορούν να παραδώσουν τις εργασίες τους το αργότερο μέχρι και την ημέρα των εξετάσεων της περιόδου Ιουνίου 2012. Εργασία η οποία θα παραδοθεί μετά το πέρας αυτής της ημερομηνίας, δεν θα βαθμολογηθεί ώστε να ληφθεί υπόψη για τις εξετάσεις της περιόδου Ιουνίου.

Μια εργασία βαθμολογείται με άριστα το 3.0. Μη εμπρόθεσμη παράδοση εργασίας συνεπάγεται το βαθμό μηδέν (0).

Η εργασία του μαθήματος είναι υποχρεωτική.