

Αναγωγή σε δύναμη με διαδοχικούς διπλασιασμούς

Μάθημα: Γλώσσες Περιγραφής Υλικού I (CST304 / 2011-2012)

Διδάσκων: Νικόλαος Καββαδίας

nkavv@uop.gr

14/04/2012

Αντικείμενο της εργασίας

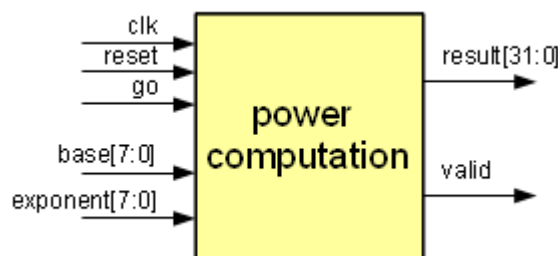
Αντικείμενο αυτής της εργασίας είναι η περιγραφή σε Verilog HDL ενός κυκλώματος το οποίο υπολογίζει την ακέραια δύναμη ($\text{base}^{\text{exponent}}$) όπου *base* είναι ακέραια βάση και *exponent* ακέραιος εκθέτης. Οι είσοδοι *base*, *exponent* αποτελούν διανύσματα των 8-bit, ενώ η έξοδος *result* έχει 32-bits. Ο αλγόριθμος δίνεται σε χαμηλού επιπέδου ANSI C, χωρισμένος σε καταστάσεις για υλοποίηση με FSM (Finite-State Machine with Datapath) στο Σχήμα 1.

Για τον έλεγχο ορθής λειτουργίας θα πρέπει να δοκιμαστούν όλοι οι συνδυασμοί εισόδων με *base*=[1..9] και *exponent*=[1..9] (συνολικά 81 περιπτώσεις).

```
STATE_1:
  b = base; e = exponent; r = 1; goto STATE_2;
STATE_2:
  if (e είναι περιττός) {goto STATE_3;} else {goto STATE_4;}
STATE_3:
  r = r * b; goto STATE_4;
STATE_4:
  e = e >> 1; goto STATE_5;
STATE_5:
  if (e == 0) {goto STATE_6;} else {goto STATE_7;}
STATE_6:
  goto STATE_8;
STATE_7:
  b = b * b; goto STATE_2;
STATE_8:
  result = r;
```

Σχήμα 1: Ψευδοκώδικας για τον αλγόριθμο υπολογισμού δύναμης.

Ενδεικτική διεπαφή του κυκλώματος δίνεται στο Σχήμα 2, και οι θύρες εισόδου και εξόδου περιγράφονται αναλυτικά στον Πίνακα 1.



Σχήμα 2: Η διεπαφή του κυκλώματος υπολογισμού δύναμης.

Πίνακας 1: Θύρες εισόδου και εξόδου για το κύκλωμα.

Θύρα	Εύρος bit	Κατευθυντικότητα	Περιγραφή
clk	1	Είσοδος	Είσοδος ρολογιού
reset	1	Είσοδος	Επανατοποθέτηση
go	1	Είσοδος	Σήμα ενεργοποίησης
base	8	Είσοδος	Ακέραια βάση
exponent	8	Είσοδος	Ακέραιος εκθέτης
result	32	Έξοδος	Αποτέλεσμα (ακέραια δύναμη)
valid	1	Έξοδος	Επιβεβαίωση εγκυρότητας της εξόδου

Παράδοση και βαθμολόγηση της εργασίας

Στην εργασία του μαθήματος, ο φοιτητής καλείται

- να παραδώσει την περιγραφή του κυκλώματος που σχεδίασε σε Verilog HDL
- να αναπτύξει σε κείμενο την περιγραφή της λειτουργίας του κυκλώματος
- να παρουσιάσει αποτελέσματα (π.χ. κυματομορφές, αρχεία εισόδου/εξόδου) τα οποία να αποδεικνύουν τη σωστή λειτουργία του κυκλώματος

Η εργασία παραδίδεται σε τυπωμένη μορφή (με το συνολικό κώδικα Verilog HDL) και υποβάλλεται σε ηλεκτρονική μορφή (PDF της εργασίας + αρχεία κώδικα) στο email του διδάσκοντα. Οι φοιτητές μπορούν να παραδώσουν τις εργασίες τους το αργότερο μέχρι και την ημέρα των εξετάσεων της περιόδου Ιουνίου-Ιουλίου 2012. Εργασία η οποία θα παραδοθεί μετά το πέρας αυτής της ημερομηνίας, δεν θα βαθμολογηθεί ώστε να ληφθεί υπόψη για τις εξετάσεις της περιόδου Ιουνίου-Ιουλίου.

Μια εργασία βαθμολογείται με άριστα το 3.0. Μη εμπρόθεσμη παράδοση εργασίας συνεπάγεται το βαθμό μηδέν (0).

Η εργασία του μαθήματος είναι υποχρεωτική.