

Εύρεση πρώτων αριθμών με το κόσκινο του Ερατοσθένους

Μάθημα: Γλώσσες Περιγραφής Υλικού I (CST304 / 2011-2012)

Διδάσκων: Νικόλαος Καββαδίας

nkavn@uop.gr

05/04/2012

Αντικείμενο της εργασίας

Αντικείμενο αυτής της εργασίας είναι η περιγραφή σε Verilog HDL ενός κυκλώματος το οποίο πραγματοποιεί την εύρεση πρώτων αριθμών (prime numbers) με τον αλγόριθμο του Ερατοσθένους (sieve of Eratosthenes). Πρώτος αριθμός είναι αυτός ο οποίος διαιρείται μόνο με τον εαυτό του και την μονάδα. Το κύκλωμα έχει είσοδο x των 16-bit και εσωτερική μνήμη RAM ασύγχρονης ανάγνωσης των 65536 θέσεων και είναι αρχικοποιημένη στο 0 (για όλες τις θέσεις της).

```
S_1:
    count = 0; erat[0] = 1; erat[1] = 1; i = 2;
    goto S_7;
S_2:
    temp0 = erat[i];
    if (temp0 == 0) {goto S_3;} else {goto S_6;}
S_3:
    j = i * i;
    goto S_5;
S_4:
    erat[j] = 1; j = j + i;
    goto S_5;
S_5:
    if (j <= x) {goto S_4;} else {goto S_6;}
S_6:
    i = i + 1;
    goto S_7;
S_7:
    if (i <= 16) {goto S_2;} else {goto S_8;}
S_8:
    i = 2;
    goto S_12;
S_9:
    temp0 = erat[i];
    if (temp0 == 0) {goto S_10;} else {goto S_11;}
S_10:
    count = count + 1;
    goto S_11;
S_11:
    i = i + 1;
    goto S_12;
S_12:
    if (i <= x) {goto S_9;} else {goto S_13;}
S_13:
    valid = 1;
```

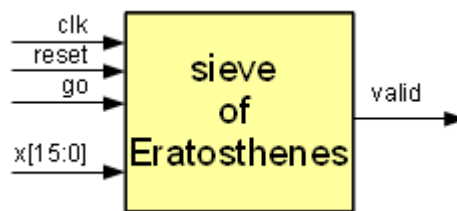
Σχήμα 1: Κώδικας ANSI C για το κόσκινο του Ερατοσθένους.

Ο αλγόριθμος δίνεται στο Σχήμα 1. Πρώτα αρχικοποιούνται στο 1 οι θέσεις 0 και 1 της μνήμης, οι οποίες

και αντιστοιχούν στους αριθμούς 0 και 1 οι οποίοι είναι σύμφωνα με τον ορισμό μας εδώ, ΔΕΝ είναι γνήσια πρώτοι (τιμή 1 στη μνήμη σημαίνει ότι ο αριθμός δεν είναι πρώτος). Στη συνέχεια για κάθε αριθμό i ανάμεσα στο 2 και στο n , ελέγχεται κάθε ακέραιο πολλαπλάσιο του i που είναι μεγαλύτερο από το i^2 , δηλ. $i^2 + i, i^2 + 2i, i^2 + 3i, \dots$. Όλοι οι αριθμοί αυτοί εξ ορισμού δεν είναι πρώτοι και για αυτό οι αντίστοιχες θέσεις μνήμης σημειώνονται με 1. Στο τέλος της διαδικασίας, όσες θέσεις παραμείνουν με τιμή ίση με το μηδέν (0), αντιστοιχούν σε πρώτους αριθμούς ίσους με τη διεύθυνση της αντίστοιχης θέσης.

Ενδεικτική διεπαφή του κυκλώματος δίνεται στο Σχήμα 2, και οι θύρες εισόδου και εξόδου περιγράφονται αναλυτικά στον Πίνακα 1. Προτείνεται η υλοποίηση του κυκλώματος ως FSM (Finite-State Machine with Datapath). Για το σκοπό αυτό θα πρέπει να σχεδιάσετε το διάγραμμα ροής για τον κώδικα του Σχήματος 1 και να το χωρίσετε σε καταστάσεις του FSM. Θα χρειαστείτε συνολικά γύρω στις 12-13 καταστάσεις αν ακολουθήσετε συντηρητικό σχεδιασμό του FSM.

Ζητείται να επιβεβαιωθεί ότι για $x = 255$, υπολογίζονται 54 (0x36) διαφορετικοί πρώτοι.



Σχήμα 2: Η διεπαφή του κυκλώματος εύρεσης πρώτων αριθμών.

Πίνακας 1: Θύρες εισόδου και εξόδου για το κύκλωμα

Θύρα	Εύρος bit	Κατευθυντικότητα	Περιγραφή
clk	1	Είσοδος	Είσοδος ρολογιού
reset	1	Είσοδος	Επανατοποθέτηση
go	1	Είσοδος	Σήμα ενεργοποίησης
x	16	Είσοδος	Μεγαλύτερος ακέραιος που εξετάζεται από το κόσκινο
count	8	Έξοδος	Αριθμός πρώτων
valid	1	Έξοδος	Επιβεβαίωση εγκυρότητας της εξόδου

Παράδοση και βαθμολόγηση της εργασίας

Στην εργασία του μαθήματος, ο φοιτητής καλείται

- να παραδώσει την περιγραφή του κυκλώματος που σχεδίασε σε Verilog HDL
- να αναπτύξει σε κείμενο την περιγραφή της λειτουργίας του κυκλώματος
- να παρουσιάσει αποτελέσματα (π.χ. κυματομορφές, αρχεία εισόδου/εξόδου) τα οποία να αποδεικνύουν τη σωστή λειτουργία του κυκλώματος

Η εργασία παραδίδεται σε τυπωμένη μορφή (με το συνολικό κώδικα Verilog HDL) και υποβάλλεται σε ηλεκτρονική μορφή (PDF της εργασίας + αρχεία κώδικα) στο email του διδάσκοντα. Οι φοιτητές μπορούν να παραδώσουν τις εργασίες τους το αργότερο μέχρι και την ημέρα των εξετάσεων της περιόδου Ιουνίου-Ιουλίου 2012. Εργασία η οποία θα παραδοθεί μετά το πέρας αυτής της ημερομηνίας, δεν θα βαθμολογηθεί ώστε να ληφθεί υπόψη για τις εξετάσεις της περιόδου Ιουνίου-Ιουλίου.

Μια εργασία βαθμολογείται με άριστα το 3.0. Μη εμπρόθεσμη παράδοση εργασίας συνεπάγεται το βαθμό μηδέν (0).

Η εργασία του μαθήματος είναι υποχρεωτική.