

Έλεγχος τελειότητας ακεραίων αριθμών

Μάθημα: Γλώσσες Περιγραφής Υλικού I (CST304 / 2011-2012)

Διδάσκων: Νικόλαος Καββαδίας

nkavn@uop.gr

06/04/2012

Αντικείμενο της εργασίας

Αντικείμενο αυτής της εργασίας είναι η περιγραφή σε Verilog HDL ενός κυκλώματος το οποίο θα αποφαινεται για το αν ένας δοθέντας θετικός ακεραίος n είναι τέλειος αριθμός (perfect number) ή όχι. Ένας θετικός ακεραίος ονομάζεται τέλειος, όταν ισούται με το άθροισμα των διαιρετών του. Για παράδειγμα ο αριθμός $n = 6$ είναι τέλειος γιατί το σύνολο των διαιρετών του είναι $\{1, 2, 3\}$ και ισχύει ότι $6 = 1 + 2 + 3$.

Ανάμεσα στους θετικούς ακεραίους που μπορούν να αναπαρασταθούν με 16-bit (κλειστό διάστημα $[0, 32767]$), τέλειοι είναι μόνο οι αριθμοί 6, 28, 496 και 8128.

Το κύκλωμα θα δέχεται ως είσοδο το διάνυσμα din (αντιστοιχεί στο n), εύρους N bit. Η είσοδος θα φορτώνεται όταν $load = 1$, και το κύκλωμα θα παράγει στην έξοδό του, την σημαία $perfect$ η οποία θα γίνεται 1 μόνο στην περίπτωση που υπολογιστεί ότι ο din είναι τέλειος. Η σημαία $done$ γίνεται 1 με το πέρας της όλης διαδικασίας, ενώ η σημαία $valid$ γίνεται 0 αν ζητηθεί ο έλεγχος του αριθμού $din = 0$ καθώς και πριν τη φόρτωση της εισόδου din , και οδηγεί σε πρόωρο τερματισμό της λειτουργίας του κυκλώματος, ενώ σε κάθε άλλη περίπτωση είναι 1. Προτείνεται η υλοποίηση του κυκλώματος με τη βοήθεια μηχανής πεπερασμένων καταστάσεων η οποία θα ελέγχει τον αντίστοιχο χειριστή δεδομένων (αρχιτεκτονική FSMD: Finite-State Machine with Datapath). Η N να δηλωθεί ως παράμετρος (δήλωση **parameter** ή **define**).

Στο Σχήμα 1 δίνεται ψευδοκώδικας, ο οποίος περιγράφει τη λειτουργία του κυκλώματος. Τα σχόλια που περιλαμβάνονται στον ψευδοκώδικα, δίνουν ένα ενδεικτικό διαχωρισμό της συμπεριφοράς του κυκλώματος σε καταστάσεις ενός FSM (μηχανή πεπερασμένων καταστάσεων). Οι ποσότητες $value$, $factorsum$, και $ifinal$ αντιστοιχούν σε καταχωρητές τύπου D , ενώ η μεταβλητή i αντιστοιχεί σε απαριθμητή.

```
STATE1:
    factorsum = 1; value = n;
    goto STATE2;

STATE2:
    i = 2; ifinal = value >> 1;
    goto STATE3;

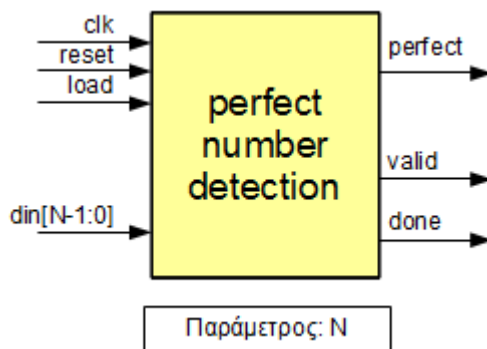
STATE3:
    if (value % i == 0)
        factorsum = factorsum + i;
    goto STATE4;

STATE4:
    i = i + 1;
    if (i <= ifinal) goto STATE3 else goto STATE5;

STATE5:
    if (factorsum == value)
        perfect = 1;
    else
        perfect = 0;
```

Σχήμα 1: Ψευδοκώδικας για τον αλγόριθμο ελέγχου τελειότητας αριθμού.

Ενδεικτική διεπαφή του κυκλώματος δίνεται στο Σχήμα 2, και οι θύρες εισόδου και εξόδου περιγράφονται αναλυτικά στον Πίνακα 1.



Σχήμα 2: Η διεπαφή του κυκλώματος για τον έλεγχο τελειότητας αριθμού.

Πίνακας 1: Θύρες εισόδου και εξόδου για το κύκλωμα.

Θύρα	Εύρος bit	Κατευθυντικότητα	Περιγραφή
clk	1	Είσοδος	Είσοδος ρολογιού
reset	1	Είσοδος	Επανατοποθέτηση
load	1	Είσοδος	Φόρτωση τιμής εισόδου και έναρξη λειτουργίας του κυκλώματος
din	N	Είσοδος	Αριθμός όρων που θέλουμε να υπολογιστούν
perfect	1	Έξοδος	Αποτέλεσμα του ελέγχου τελειότητας της εισόδου
valid	1	Έξοδος	Σημαία υπόδειξης έγκυρης διαδικασίας ελέγχου
done	1	Έξοδος	Σημαία υπόδειξης του τερματισμού λειτουργίας του κυκλώματος

Παράδοση και βαθμολόγηση της εργασίας

Στην εργασία του μαθήματος, ο φοιτητής καλείται

- να παραδώσει την περιγραφή του κυκλώματος που σχεδίασε σε Verilog HDL
- να αναπτύξει σε κείμενο την περιγραφή της λειτουργίας του κυκλώματος
- να παρουσιάσει αποτελέσματα (π.χ. κυματομορφές, αρχεία εισόδου/εξόδου) τα οποία να αποδεικνύουν τη σωστή λειτουργία του κυκλώματος

Η εργασία παραδίδεται σε τυπωμένη μορφή (με το συνολικό κώδικα Verilog HDL) και υποβάλλεται σε ηλεκτρονική μορφή (PDF της εργασίας + αρχεία κώδικα) στο email του διδάσκοντα. Οι φοιτητές μπορούν να παραδώσουν τις εργασίες τους το αργότερο μέχρι και την ημέρα των εξετάσεων της περιόδου Ιουνίου-Ιουλίου 2012. Εργασία η οποία θα παραδοθεί μετά το πέρας αυτής της ημερομηνίας, δεν θα βαθμολογηθεί ώστε να ληφθεί υπόψη για τις εξετάσεις της περιόδου Ιουνίου-Ιουλίου.

Μια εργασία βαθμολογείται με άριστα το 3.0. Μη εμπρόθεσμη παράδοση εργασίας συνεπάγεται το βαθμό μηδέν (0).

Η εργασία του μαθήματος είναι υποχρεωτική.