

Κύκλωμα συμπίεσης με ανάμειξη (bitzip)

Μάθημα: Γλώσσες Περιγραφής Υλικού I (CST304 / 2011-2012)

Διδάσκων: Νικόλαος Καββαδίας

nkavn@uop.gr

05/04/2012

Αντικείμενο της εργασίας

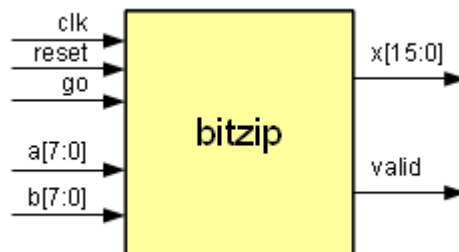
Αντικείμενο αυτής της εργασίας είναι η περιγραφή σε Verilog HDL ενός κυκλώματος το οποίο συμπιέζει δύο λέξεις των 8-bit σε μία των 16-bit με ανάμειξη. Το κύκλωμα αυτό μειώνει τον αριθμό των θέσεων αποθήκευσης που χρειάζεται η πληροφορία εισόδου χωρίς να μειώνει ή να αλλοιώνει τον συνολικό αριθμό ψηφίων που την αποτελούν. Η συμπίεση γίνεται ως εξής: έστω abcdefgh και ABCDEFGH οι λέξεις εισόδου a και b, τότε η συμπιεσμένη έξοδος x είναι: aAbBcCdDeEfFgGhH. Ο αλγόριθμος δίνεται σε χαμηλού επιπέδου ANSI C, χωρισμένος σε καταστάσεις για υλοποίηση με FSM (Finite-State Machine with Datapath) στο Σχήμα 1.

Για τον έλεγχο ορθής λειτουργίας θα πρέπει να δοκιμαστούν όλοι οι συνδυασμοί εισόδων a και b από 8'h00 μέχρι και 8'hFF (συνολικά 65536 περιπτώσεις).

```
STATE_1:
    a1 = επέκταση μηδενικού του a; b1 = επέκταση μηδενικού του b;
    t = 0; m = 1; s = 0; k = 0; goto STATE_2;
STATE_2:
    if (k < 8) {goto STATE_3;} else {goto STATE_4;}
STATE_3:
    t0 = a1 & m; goto STATE_3A;
STATE_3A:
    t1 = t0 << s; goto STATE_3B;
STATE_3B:
    t = t | t1; s = s + 1; goto STATE_3C;
STATE_3C:
    t2 = b1 & m; goto STATE_3D;
STATE_3D:
    t3 = t2 << s; goto STATE_3E;
STATE_3E:
    t = t | t3; m = m << 1; k = k + 1; goto STATE_2;
STATE_4:
    x = t;
```

Σχήμα 1: Ψευδοκώδικας για τον αλγόριθμο bitzip.

Ενδεικτική διεπαφή του κυκλώματος δίνεται στο Σχήμα 2, και οι θύρες εισόδου και εξόδου περιγράφονται αναλυτικά στον Πίνακα 1.



Σχήμα 2: Η διεπαφή του κυκλώματος bitzip.

Πίνακας 1: Θύρες εισόδου και εξόδου για το κύκλωμα.

Θύρα	Εύρος bit	Κατευθυντικότητα	Περιγραφή
clk	1	Είσοδος	Είσοδος ρολογιού
reset	1	Είσοδος	Επανατοποθέτηση
go	1	Είσοδος	Σήμα ενεργοποίησης
a	8	Είσοδος	Είσοδος a
b	8	Είσοδος	Είσοδος b
x	16	Έξοδος	Συμπιεσμένα δεδομένα a, b
valid	1	Έξοδος	Επιβεβαίωση εγκυρότητας της εξόδου

Παράδοση και βαθμολόγηση της εργασίας

Στην εργασία του μαθήματος, ο φοιτητής καλείται

- να παραδώσει την περιγραφή του κυκλώματος που σχεδίασε σε Verilog HDL
- να αναπτύξει σε κείμενο την περιγραφή της λειτουργίας του κυκλώματος
- να παρουσιάσει αποτελέσματα (π.χ. κυματομορφές, αρχεία εισόδου/εξόδου) τα οποία να αποδεικνύουν τη σωστή λειτουργία του κυκλώματος

Η εργασία παραδίδεται σε τυπωμένη μορφή (με το συνολικό κώδικα Verilog HDL) και υποβάλλεται σε ηλεκτρονική μορφή (PDF της εργασίας + αρχεία κώδικα) στο email του διδάσκοντα. Οι φοιτητές μπορούν να παραδώσουν τις εργασίες τους το αργότερο μέχρι και την ημέρα των εξετάσεων της περιόδου Ιουνίου-Ιουλίου 2012. Εργασία η οποία θα παραδοθεί μετά το πέρας αυτής της ημερομηνίας, δεν θα βαθμολογηθεί ώστε να ληφθεί υπόψη για τις εξετάσεις της περιόδου Ιουνίου-Ιουλίου.

Μια εργασία βαθμολογείται με άριστα το 3.0. Μη εμπρόθεσμη παράδοση εργασίας συνεπάγεται το βαθμό μηδέν (0).

Η εργασία του μαθήματος είναι υποχρεωτική.