

Κύκλωμα ανάθεσης πεδίου bit

Μάθημα: Γλώσσες Περιγραφής Υλικού I (CST304 / 2011-2012)

Διδάσκων: Νικόλαος Καββαδίας

nkavn@uop.gr

06/04/2012

Αντικείμενο της εργασίας

Αντικείμενο αυτής της εργασίας είναι η περιγραφή σε Verilog HDL ενός κυκλώματος ανάθεσης πεδίου bit από μία λέξη x . : Επιστρέφει τα ανανεωμένα περιεχόμενα της λέξης εισόδου x με ένα πεδίο εύρους n bits, ξεκινώντας από τη θέση p , να είναι ίδιο με τα n δεξιότερα ψηφία μιας δεύτερης λέξης εισόδου u . Τα εναπομείναντα ψηφία του x δεν επηρεάζονται. Η ανανεωμένη λέξη αποδίδεται στην έξοδο y .

Αν θέλουμε να εισάγουμε τα 2 δεξιότερα ψηφία της λέξης $u = 8'h07$ στη x , ξεκινώντας από τη θέση 3, τότε ουσιαστικά ζητάμε το αποτέλεσμα μιας συνάρτησης `setbits` η οποία καλείται ως: `setbits(x, 3, 2, u)` και θα τροποποιεί το πεδίο `x[3:2]` (ψηφία 3,2) του x . Για παράδειγμα αν $x = 8'h85$ τότε το αποτέλεσμα y είναι ίσο με $y = 8'h8D$.

Το κύκλωμα διαθέτει εισόδους x , u και έξοδο y των N bits. Οι εισοδοί p και n έχουν εύρος M το οποίο είναι ίσο με το $\text{ceil}(\log_2(N))$, δηλ. τη στρογγυλοποίηση του δυαδικού λογαρίθμου του N προς τα άνω. Οι παράμετροι N και M θα πρέπει να δηλωθούν είτε με τη δήλωση **parameter** είτε με τη δήλωση προεπεξεργαστή **define**. Ενδεικτικές τιμές των N και M είναι 32 και 5, αντίστοιχα.

Η λειτουργία του κυκλώματος θα πρέπει να δοκιμαστεί για δύο διαφορετικές εισόδους x και u και για διάφορες περιπτώσεις των p , n όπου το n δεν είναι μεγαλύτερο από $p+1$.

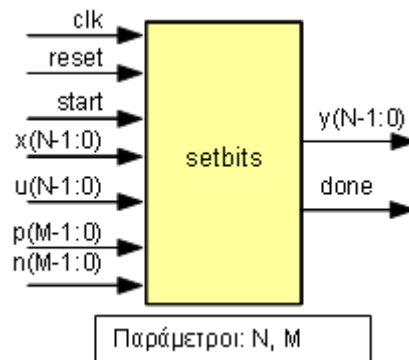
Το κύκλωμα μπορεί να υλοποιηθεί είτε ως FSM (Finite-State Machine with Datapath) είτε να θεωρηθεί ότι όλες οι λειτουργίες συμβαίνουν διαδοχικά μέσα σε ένα κύριο υπολογιστικό κύκλο.

Στο Σχήμα 1 δίνεται ο ψευδοκώδικας για την υλοποίηση του εν λόγω αλγορίθμου.

```
STATE_1:
    t1 = p + 1; t2 = -1;
STATE_2:
    t2 = t2 << t1; t1 = p + 1; t3 = t1 - n; t4 = -1;
STATE_3:
    t4 = t4 << t3;
STATE_4:
    t5 = ~(t4);
STATE_5:
    t6 = t2 | t5;
STATE_6:
    t8 = t6 & x;
    t9 = -1;
STATE_7:
    t9 = t9 << n;
STATE_8:
    t10 = ~(t9);
    t12 = t10 & u;
STATE_9:
    t13 = t12 << t3;
STATE_10:
    y = t8 | t13;
```

Σχήμα 1: Ψευδοκώδικας για τον αναθέτη πεδίου bit.

Ενδεικτική διεπαφή του κυκλώματος δίνεται στο Σχήμα 2, και οι θύρες εισόδου και εξόδου περιγράφονται αναλυτικά στον Πίνακα 1.



Σχήμα 2: Η διεπαφή του κυκλώματος εξαγωγής πεδίου bit.

Πίνακας 1: Θύρες εισόδου και εξόδου για το κύκλωμα

Θύρα	Εύρος bit	Κατευθυντικότητα	Περιγραφή
clk	1	Είσοδος	Είσοδος ρολογιού
reset	1	Είσοδος	Επανατοποθέτηση
start	1	Είσοδος	Σήμα ενεργοποίησης
x	N	Είσοδος	Δεδομένα εισόδου
u	N	Είσοδος	Λέξη ψηφίων ανάθεσης
p	M	Είσοδος	Αρχικό ψηφίο
n	M	Είσοδος	Εύρος πεδίου bit
y	N	Έξοδος	Αποτέλεσμα

Παράδοση και βαθμολόγηση της εργασίας

Στην εργασία του μαθήματος, ο φοιτητής καλείται

- να παραδώσει την περιγραφή του κυκλώματος που σχεδίασε σε Verilog HDL
- να αναπτύξει σε κείμενο την περιγραφή της λειτουργίας του κυκλώματος
- να παρουσιάσει αποτελέσματα (π.χ. κυματομορφές, αρχεία εισόδου/εξόδου) τα οποία να αποδεικνύουν τη σωστή λειτουργία του κυκλώματος

Η εργασία παραδίδεται σε τυπωμένη μορφή (με το συνολικό κώδικα Verilog HDL) και υποβάλλεται σε ηλεκτρονική μορφή (PDF της εργασίας + αρχεία κώδικα) στο email του διδάσκοντα. Οι φοιτητές μπορούν να παραδώσουν τις εργασίες τους το αργότερο μέχρι και την ημέρα των εξετάσεων της περιόδου Ιουνίου-Ιουλίου 2012. Εργασία η οποία θα παραδοθεί μετά το πέρας αυτής της ημερομηνίας, δεν θα βαθμολογηθεί ώστε να ληφθεί υπόψη για τις εξετάσεις της περιόδου Ιουνίου-Ιουλίου.

Μια εργασία βαθμολογείται με άριστα το 3.0. Μη εμπρόθεσμη παράδοση εργασίας συνεπάγεται το βαθμό μηδέν (0).

Η εργασία του μαθήματος είναι υποχρεωτική.