

Κύκλωμα εξαγωγής πεδίου bit

Μάθημα: Γλώσσες Περιγραφής Υλικού I (CST304 / 2011-2012)

Διδάσκων: Νικόλαος Καββαδίας

nkavn@uop.gr

06/04/2012

Αντικείμενο της εργασίας

Αντικείμενο αυτής της εργασίας είναι η περιγραφή σε Verilog HDL ενός κυκλώματος εξαγωγής πεδίου bit από μία λέξη x . Αν θέλουμε να εξάγουμε n τον αριθμό bits ξεκινώντας από τη θέση p , τότε το αποτέλεσμα μιας συνάρτησης `getbits` η οποία καλείται ως: `getbits(x,4,3)` θα επιστρέφει το πεδίο $x[4:2]$ (ψηφία 4,3,2) και θα το αναθέτει ως τιμή της εξόδου y . Για παράδειγμα αν $x = 8'h85$ τότε το αποτέλεσμα y είναι ίσο με $y = 8'h01$ (τα εξαγόμενα ψηφία είναι 0-0-1).

Το κύκλωμα διαθέτει είσοδο x και έξοδοι y των N bits. Οι είσοδοι p και n έχουν εύρος M το οποίο είναι ίσο με το $\text{ceil}(\log_2(N))$, δηλ. τη στρογγυλοποίηση του δυαδικού λογαρίθμου του N προς τα άνω. Οι παράμετροι N και M θα πρέπει να δηλωθούν είτε με τη δήλωση **parameter** είτε με τη δήλωση προεπεξεργαστή **define**. Ενδεικτικές τιμές των N και M είναι 32 και 5, αντίστοιχα.

Η λειτουργία του κυκλώματος θα πρέπει να δοκιμαστεί για δύο διαφορετικές εισόδους x και για διάφορες περιπτώσεις των p , n όπου το n δεν είναι μεγαλύτερο από $p+1$.

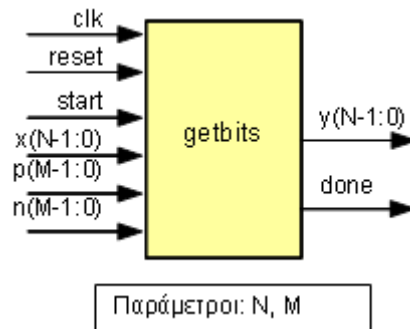
Το κύκλωμα μπορεί να υλοποιηθεί είτε ως FSMD (Finite-State Machine with Datapath) είτε να θεωρηθεί ότι όλες οι λειτουργίες συμβαίνουν διαδοχικά μέσα σε ένα κύριο υπολογιστικό κύκλο.

Στο Σχήμα 1 δίνεται ο ψευδοκώδικας για την υλοποίηση του εν λόγω αλγορίθμου.

```
STATE_1:
    t0 = p + 1;
STATE_2:
    t1 = t0 - n;
STATE_3:
    t2 = x >> t1;
    t3 = -1;
STATE_4:
    t3 = t3 << n;
STATE_5:
    t4 = ~(t3);
STATE_6:
    y = t2 & t4;
```

Σχήμα 1: Ψευδοκώδικας για τον εξαγωγέα πεδίου bit.

Ενδεικτική διεπαφή του κυκλώματος δίνεται στο Σχήμα 2, και οι θύρες εισόδου και εξόδου περιγράφονται αναλυτικά στον Πίνακα 1.



Σχήμα 2: Η διεπαφή του κυκλώματος εξαγωγής πεδίου bit.

Πίνακας 1: Θύρες εισόδου και εξόδου για το κύκλωμα

Θύρα	Εύρος bit	Κατευθυντικότητα	Περιγραφή
clk	1	Είσοδος	Είσοδος ρολογιού
reset	1	Είσοδος	Επανατοποθέτηση
start	1	Είσοδος	Σήμα ενεργοποίησης
x	N	Είσοδος	Δεδομένα εισόδου
p	M	Είσοδος	Αρχικό ψηφίο
n	M	Είσοδος	Εύρος πεδίου bit
y	N	Εξοδος	Αποτέλεσμα

Παράδοση και βαθμολόγηση της εργασίας

Στην εργασία του μαθήματος, ο φοιτητής καλείται

- να παραδώσει την περιγραφή του κυκλώματος που σχεδίασε σε Verilog HDL
- να αναπτύξει σε κείμενο την περιγραφή της λειτουργίας του κυκλώματος
- να παρουσιάσει αποτελέσματα (π.χ. κυματομορφές, αρχεία εισόδου/εξόδου) τα οποία να αποδεικνύουν τη σωστή λειτουργία του κυκλώματος

Η εργασία παραδίδεται σε τυπωμένη μορφή (με το συνολικό κώδικα Verilog HDL) και υποβάλλεται σε ηλεκτρονική μορφή (PDF της εργασίας + αρχεία κώδικα) στο email του διδάσκοντα. Οι φοιτητές μπορούν να παραδώσουν τις εργασίες τους το αργότερο μέχρι και την ημέρα των εξετάσεων της περιόδου Ιουνίου-Ιουλίου 2012. Εργασία η οποία θα παραδοθεί μετά το πέρας αυτής της ημερομηνίας, δεν θα βαθμολογηθεί ώστε να ληφθεί υπόψη για τις εξετάσεις της περιόδου Ιουνίου-Ιουλίου.

Μια εργασία βαθμολογείται με άριστα το 3.0. Μη εμπρόθεσμη παράδοση εργασίας συνεπάγεται το βαθμό μηδέν (0).

Η εργασία του μαθήματος είναι υποχρεωτική.