

# Μονοδιάστατο φίλτρο διάμεσου

Μάθημα: Γλώσσες Περιγραφής Υλικού I (CST304 / 2010-2011)

Διδάσκων: Νικόλαος Καββαδίας

[nkavn@uop.gr](mailto:nkavn@uop.gr)

14/05/2011

## Αντικείμενο της εργασίας

Αντικείμενο αυτής της εργασίας είναι η περιγραφή σε Verilog HDL ενός κυκλώματος το οποίο φιλτράρει τα δεδομένα από μία μονοδιάστατη μνήμη 12 θέσεων των 8-bit. Η μνήμη αυτή η οποία ζητείται να υλοποιηθεί ως μεταβλητή τύπου reg με το όνομα mem, όπως π.χ.:

```
reg [7:0] mem [0:11];
```

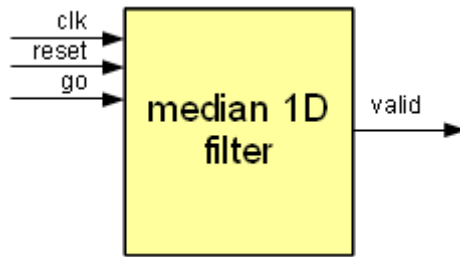
Τα αρχικά δεδομένα της μνήμης θα δοθούν με μπλοκ λογικής initial και θα είναι ίσα με τους 12 διαδοχικούς πρώτους αριθμούς ξεκινώντας από το 2, δηλαδή 2, 3, 5, 7, 11, 13, 17, 19, 23, 29, 31, 37.

Το φίλτρο διάμεσου λειτουργεί όπως φαίνεται στο Σχήμα 1. Το φίλτρο διαβάζει τρεις διαδοχικές τιμές (από τις διευθύνσεις address, address+1 και address+2) και βρίσκει ποια από τις αντίστοιχες τιμές είναι ο διάμεσος, δηλαδή ούτε η μεγαλύτερη εκ των τριών αλλά ούτε και η μικρότερη εκ των τριών. Στη συνέχεια αντικαθιστά τις αντίστοιχες τρεις θέσεις μνήμης με την τιμή που έχει ο διάμεσος. Έτσι οι τελικές τιμές της μνήμης θα πρέπει να είναι: 3, 3, 3, 11, 11, 11, 19, 19, 19, 31, 31, 31.

```
STATE_1:
    address = 0;
    med = 0;
    goto STATE_2;
STATE_2:
    if (address < 12) goto STATE_3; else goto STATE_6;
STATE_3:
    reg1 = mem[address];
    reg2 = mem[address+1];
    reg3 = mem[address+2];
    goto STATE_4;
STATE_4:
    if ((reg1 <= reg2) && (reg2 < reg3))
        med = reg2;
    else if ((reg2 <= reg1) && (reg1 < reg3))
        med = reg1;
    else
        med = reg3;
    goto STATE_5;
STATE_5:
    mem[address] = med;
    mem[address+1] = med;
    mem[address+2] = med;
    address = address + 3;
    goto STATE_2;
STATE_6:
    valid = 1;
```

Σχήμα 1: Κώδικας ANSI C για το φίλτρο διάμεσου.

Ενδεικτική διεπαφή του κυκλώματος δίνεται στο Σχήμα 2, και οι θύρες εισόδου και εξόδου περιγράφονται αναλυτικά στον Πίνακα 1.



Σχήμα 2: Η διεπαφή του κυκλώματος φίλτρου διάμεσου.

Πίνακας 1: Θύρες εισόδου και εξόδου για το κύκλωμα.

Θύρα	Εύρος bit	Κατευθυντικότητα	Περιγραφή
clk	1	Είσοδος	Είσοδος ρολογιού
reset	1	Είσοδος	Επανατοποθέτηση
go	1	Είσοδος	Σήμα ενεργοποίησης
valid	1	Έξοδος	Επιβεβαίωση εγκυρότητας της εξόδου

### Παράδοση και βαθμολόγηση της εργασίας

Στην εργασία του μαθήματος, ο φοιτητής καλείται

- να παραδώσει την περιγραφή του κυκλώματος που σχεδίασε σε Verilog HDL
- να αναπτύξει σε κείμενο την περιγραφή της λειτουργίας του κυκλώματος
- να παρουσιάσει αποτελέσματα (π.χ. κυματομορφές, αρχεία εισόδου/εξόδου) τα οποία να αποδεικνύουν τη σωστή λειτουργία του κυκλώματος

Η εργασία παραδίδεται σε τυπωμένη μορφή (με το συνολικό κώδικα Verilog HDL) και υποβάλλεται σε ηλεκτρονική μορφή (PDF της εργασίας + αρχεία κώδικα) στο email του διδάσκοντα. Οι φοιτητές μπορούν να παραδώσουν τις εργασίες τους το αργότερο μέχρι και την ημέρα των εξετάσεων της περιόδου Ιουνίου-Ιουλίου 2011. Εργασία η οποία θα παραδοθεί μετά το πέρας αυτής της ημερομηνίας, δεν θα βαθμολογηθεί ώστε να ληφθεί υπόψη για τις εξετάσεις της περιόδου Ιουνίου-Ιουλίου.

Μια εργασία βαθμολογείται με άριστα το 10. Μη εμπρόθεσμη παράδοση εργασίας συνεπάγεται το βαθμό μηδέν (0).

Η εργασία του μαθήματος είναι υποχρεωτική.