

# Κύκλωμα αποσυμπίεσης (bitunzip)

Μάθημα: Γλώσσες Περιγραφής Υλικού I (CST304 / 2010-2011)

Διδάσκων: Νικόλαος Καββαδίας

[nkavn@uop.gr](mailto:nkavn@uop.gr)

20/04/2011

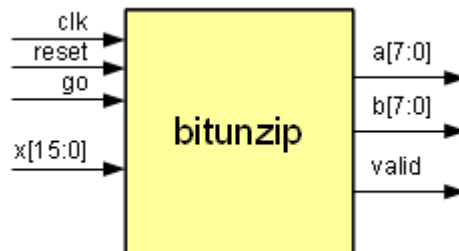
## Αντικείμενο της εργασίας

Αντικείμενο αυτής της εργασίας είναι η περιγραφή σε Verilog HDL ενός κυκλώματος το οποίο αποσυμπιέζει μία λέξη των 16-bit σε δύο λέξεις των 8-bit με αποανάμειξη. Το κύκλωμα αυτό ανακτά την αρχική πληροφορία που ήταν διαθέσιμη σε δύο λέξεις  $a$ ,  $b$  από μία λέξη  $x$  διπλάσιου εύρους. Η αποσυμπίεση γίνεται ως εξής: έστω  $aAbBcCdDeEffgGhH$  η συμπιεσμένη λέξη εισόδου, τότε  $abcdefgh$  και  $ABCDEFGH$  θα είναι οι παραγόμενες λέξεις εξόδου  $a$  και  $b$ . Ο αλγόριθμος δίνεται σε χαμηλού επιπέδου ANSI C, χωρισμένος σε καταστάσεις για υλοποίηση με FSM (Finite-State Machine with Datapath) στο Σχήμα 1. Για τον έλεγχο ορθής λειτουργίας θα πρέπει να δοκιμαστούν όλοι οι συνδυασμοί εισόδων  $x$  από  $16'h0000$  μέχρι και  $16'hFFFF$  (συνολικά 65536 περιπτώσεις).

```
STATE_1:
    a1 = 0; b1 = 0; m = 1; s = 0; k = 0;
    goto STATE_2;
STATE_2:
    if (k < 8) {goto STATE_3;} else {goto STATE_4;}
STATE_3:
    t0 = x & m; goto STATE_3A;
STATE_3A:
    t1 = t0 >> s; goto STATE_3B;
STATE_3B:
    a1 = a1 | t1; s = s + 1; m = m << 1; goto STATE_3C;
STATE_3C:
    t2 = x & m; goto STATE_3D;
STATE_3D:
    t3 = t2 >> s; goto STATE_3E;
STATE_3E:
    b1 = b1 | t3; m = m << 1; k = k + 1; goto STATE_2;
STATE_4:
    a = a1 & 255;
    b = b1 & 255;
```

Σχήμα 1: Ψευδοκώδικας για τον αλγόριθμο bitunzip.

Ενδεικτική διεπαφή του κυκλώματος δίνεται στο Σχήμα 2, και οι θύρες εισόδου και εξόδου περιγράφονται αναλυτικά στον Πίνακα 1.



Σχήμα 2: Η διεπαφή του κυκλώματος bitunzip.

**Πίνακας 1:** Θύρες εισόδου και εξόδου για το κύκλωμα.

Θύρα	Εύρος bit	Κατευθυντικότητα	Περιγραφή
clk	1	Είσοδος	Είσοδος ρολογιού
reset	1	Είσοδος	Επανατοποθέτηση
go	1	Είσοδος	Σήμα ενεργοποίησης
x	16	Είσοδος	Συμπιεσμένα δεδομένα εισόδου
a	8	Έξοδος	Έξοδος a
b	8	Έξοδος	Έξοδος b
valid	1	Έξοδος	Επιβεβαίωση εγκυρότητας της εξόδου

### **Παράδοση και βαθμολόγηση της εργασίας**

Στην εργασία του μαθήματος, ο φοιτητής καλείται

- να παραδώσει την περιγραφή του κυκλώματος που σχεδίασε σε Verilog HDL
- να αναπτύξει σε κείμενο την περιγραφή της λειτουργίας του κυκλώματος
- να παρουσιάσει αποτελέσματα (π.χ. κυματομορφές, αρχεία εισόδου/εξόδου) τα οποία να αποδεικνύουν τη σωστή λειτουργία του κυκλώματος

Η εργασία παραδίδεται σε τυπωμένη μορφή (με το συνολικό κώδικα Verilog HDL) και υποβάλλεται σε ηλεκτρονική μορφή (PDF της εργασίας + αρχεία κώδικα) στο email του διδάσκοντα. Οι φοιτητές μπορούν να παραδώσουν τις εργασίες τους το αργότερο μέχρι και την ημέρα των εξετάσεων της περιόδου Ιουνίου-Ιουλίου 2011. Εργασία η οποία θα παραδοθεί μετά το πέρας αυτής της ημερομηνίας, δεν θα βαθμολογηθεί ώστε να ληφθεί υπόψη για τις εξετάσεις της περιόδου Ιουνίου-Ιουλίου.

Μια εργασία βαθμολογείται με άριστα το 10. Μη εμπρόθεσμη παράδοση εργασίας συνεπάγεται το βαθμό μηδέν (0).

Η εργασία του μαθήματος είναι υποχρεωτική.