

Γεννήτρια ψευδοτυχαίων αριθμών των Park-Miller

Μάθημα: Γλώσσες Περιγραφής Υλικού I (CST304 / 2010-2011)

Διδάσκων: Νικόλαος Καββαδίας

nkavn@uop.gr

03/04/2011

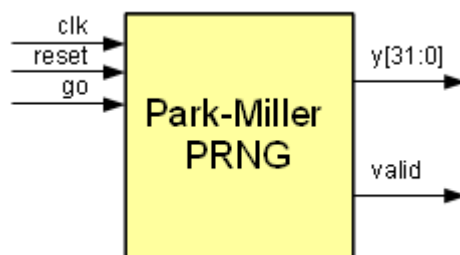
Αντικείμενο της εργασίας

Αντικείμενο αυτής της εργασίας είναι η περιγραφή σε Verilog HDL ενός κυκλώματος το οποίο παράγει ψευδοτυχαίους ακέραιους αριθμούς (PRNG: pseudo-random number generator) οι οποίοι είναι απρόσημοι και μήκους 32-bit. Το κύκλωμα δεν διαθέτει είσοδο δεδομένων, αλλά κάθε φορά που ενεργοποιείται ($go = 1'b1$) τότε παράγεται ένας νέος αριθμός από την έξοδο y . Το κύκλωμα διαθέτει δύο εσωτερικούς καταχωρητές, hi και lo , καθώς και καταχωρητή $seed$ ο οποίος αρχικοποιείται με χρήση $reset$ σε κάποια τιμή (π.χ. στην τιμή $32'h00000001$). Ο αλγόριθμος χωρίζεται σε διαδοχικές καταστάσεις όπως φαίνεται στο Σχήμα 1.

```
STATE_1:
    lo = 16807 * (seed & 0xFFFF);
    hi = 16807 * (seed >> 16);
STATE_2:
    lo += (hi & 0x7FFF) << 16;
STATE_3:
    lo += hi >> 15;
STATE_4:
    if (lo > 0x7FFFFFFF) {
        lo -= 0x7FFFFFFF;
    }
STATE_5:
    seed = lo;
STATE_EXIT:
    y = seed;
```

Σχήμα 1: Κώδικας ANSI C για τη γεννήτρια PRNG κατά τους Park και Miller. Ο κώδικας είναι χωρισμένος σε καταστάσεις για το αντίστοιχο FSM (Finite-State Machine with Datapath).

Ενδεικτική διεπαφή του κυκλώματος δίνεται στο Σχήμα 2, και οι θύρες εισόδου και εξόδου περιγράφονται αναλυτικά στον Πίνακα 1.



Σχήμα 2: Η διεπαφή του κυκλώματος υπολογισμού τετραγωνικής ρίζας αριθμού σταθερής υποδιαστολής

Πίνακας 1: Θύρες εισόδου και εξόδου για το κύκλωμα

Θύρα	Εύρος bit	Κατευθυντικότητα	Περιγραφή
clk	1	Είσοδος	Είσοδος ρολογιού
reset	1	Είσοδος	Επανατοποθέτηση
go	1	Είσοδος	Σήμα ενεργοποίησης
y	32	Έξοδος	Αποτέλεσμα (ψευδοτυχαίος αριθμός)
valid	1	Έξοδος	Επιβεβαίωση εγκυρότητας της εξόδου

Παράδοση και βαθμολόγηση της εργασίας

Στην εργασία του μαθήματος, ο φοιτητής καλείται

- να παραδώσει την περιγραφή του κυκλώματος που σχεδίασε σε Verilog HDL
- να αναπτύξει σε κείμενο την περιγραφή της λειτουργίας του κυκλώματος
- να παρουσιάσει αποτελέσματα (π.χ. κυματομορφές, αρχεία εισόδου/εξόδου) τα οποία να αποδεικνύουν τη σωστή λειτουργία του κυκλώματος

Η εργασία παραδίδεται σε τυπωμένη μορφή (με το συνολικό κώδικα Verilog HDL) και υποβάλλεται σε ηλεκτρονική μορφή (PDF της εργασίας + αρχεία κώδικα) στο email του διδάσκοντα. Οι φοιτητές μπορούν να παραδώσουν τις εργασίες τους το αργότερο μέχρι και την ημέρα των εξετάσεων της περιόδου Ιουνίου-Ιουλίου 2011. Εργασία η οποία θα παραδοθεί μετά το πέρας αυτής της ημερομηνίας, δεν θα βαθμολογηθεί ώστε να ληφθεί υπόψη για τις εξετάσεις της περιόδου Ιουνίου-Ιουλίου.

Μια εργασία βαθμολογείται με άριστα το 10. Μη εμπρόθεσμη παράδοση εργασίας συνεπάγεται το βαθμό μηδέν (0).

Η εργασία του μαθήματος είναι υποχρεωτική.