

Υπολογισμός ακέραιου λογαρίθμου βάσης k

Μάθημα: Γλώσσες Περιγραφής Υλικού I (CST304 / 2010-2011)

Διδάσκων: Νικόλαος Καββαδίας

nkavn@uop.gr

03/04/2010

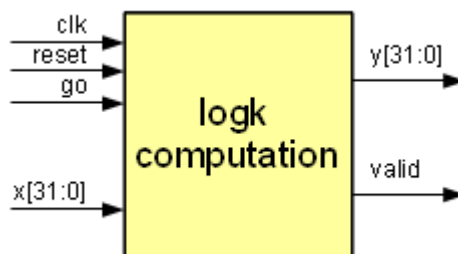
Αντικείμενο της εργασίας

Αντικείμενο αυτής της εργασίας είναι η περιγραφή σε Verilog HDL ενός κυκλώματος το οποίο ζητείται να υπολογίζει ακέραια προσέγγιση (στρογγυλοποιώντας προς τα πάνω) του λογαρίθμου βάσης k ενός ακέραιου αριθμού. Αν το κύκλωμα έχει είσοδο x των 32-bit, τότε ο λογάριθμος αυτός υπολογίζεται ως $y = \text{ceil}(\log_k(x))$, όπου ceil συμβολίζει την στρογγυλοποίηση στον πλησιέστερο μεγαλύτερο ακέραιο. Η μέθοδος που χρησιμοποιείται παράγει ένα bit από τη λέξη του αποτελέσματος για κάθε επανάληψη. Ο αλγόριθμος δίνεται σε ANSI C, χωρισμένος σε καταστάσεις για υλοποίηση με FSM (Finite-State Machine with Datapath) στο Σχήμα 1. Η βάση k θα δίνεται ως παράμετρος (parameter) k με default τιμή το 2.

```
STATE_1:
  t = 1;
  n = x;
  logk_n = 0;
  goto STATE_2;
STATE_2:
  if (t < n) goto STATE_4; else goto STATE_3;
STATE_3:
  t = k * t;
  logk_n = logk_n + 1;
  goto STATE_2;
STATE_4:
  y = logk_n;
```

Σχήμα 1: Ψευδοκώδικας για τον αλγόριθμο υπολογισμού του λογαρίθμου $\log_k(x)$.

Ενδεικτική διεπαφή του κυκλώματος δίνεται στο Σχήμα 2, και οι θύρες εισόδου και εξόδου περιγράφονται αναλυτικά στον Πίνακα 1.



Σχήμα 2: Η διεπαφή του κυκλώματος υπολογισμού του ακέραιου λογαρίθμου βάσης k.

Πίνακας 1: Θύρες εισόδου και εξόδου για το κύκλωμα.

Θύρα	Εύρος bit	Κατευθυντικότητα	Περιγραφή
clk	1	Είσοδος	Είσοδος ρολογιού
reset	1	Είσοδος	Επανατοποθέτηση
go	1	Είσοδος	Σήμα ενεργοποίησης
x	32	Είσοδος	Δεδομένα εισόδου
y	32	Έξοδος	Αποτέλεσμα (ακέραια προσέγγιση του λογαρίθμου)
valid	1	Έξοδος	Επιβεβαίωση εγκυρότητας της εξόδου

Παράδοση και βαθμολόγηση της εργασίας

Στην εργασία του μαθήματος, ο φοιτητής καλείται

- να παραδώσει την περιγραφή του κυκλώματος που σχεδίασε σε Verilog HDL
- να αναπτύξει σε κείμενο την περιγραφή της λειτουργίας του κυκλώματος
- να παρουσιάσει αποτελέσματα (π.χ. κυματομορφές, αρχεία εισόδου/εξόδου) τα οποία να αποδεικνύουν τη σωστή λειτουργία του κυκλώματος

Η εργασία παραδίδεται σε τυπωμένη μορφή (με το συνολικό κώδικα Verilog HDL) και υποβάλλεται σε ηλεκτρονική μορφή (PDF της εργασίας + αρχεία κώδικα) στο email του διδάσκοντα. Οι φοιτητές μπορούν να παραδώσουν τις εργασίες τους το αργότερο μέχρι και την ημέρα των εξετάσεων της περιόδου Ιουνίου-Ιουλίου 2011. Εργασία η οποία θα παραδοθεί μετά το πέρας αυτής της ημερομηνίας, δεν θα βαθμολογηθεί ώστε να ληφθεί υπόψη για τις εξετάσεις της περιόδου Ιουνίου-Ιουλίου.

Μια εργασία βαθμολογείται με άριστα το 10. Μη εμπρόθεσμη παράδοση εργασίας συνεπάγεται το βαθμό μηδέν (0).

Η εργασία του μαθήματος είναι υποχρεωτική.