

# Μονοδιάστατο φίλτρο εξομάλυνσης

Μάθημα: Γλώσσες Περιγραφής Υλικού I (CST304 / 2010-2011)

Διδάσκων: Νικόλαος Καββαδίας

[nkavn@uop.gr](mailto:nkavn@uop.gr)

03/04/2011

## Αντικείμενο της εργασίας

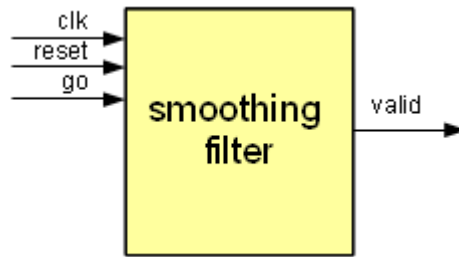
Αντικείμενο αυτής της εργασίας είναι η περιγραφή σε Verilog HDL ενός κυκλώματος το οποίο εξομαλύνει τα δεδομένα εικόνας από μία μονοδιάστατη μνήμη θέσεων των 8-bit. Η μνήμη αυτή η οποία ζητείται να υλοποιηθεί ως RAM ασύγχρονης ανάγνωσης mem η οποία προτείνεται να περιγραφεί σε ξεχωριστό αρχείο ram.v, να είναι μεγέθους 4096x8-bit (αντιστοιχεί σε εικόνα διαστάσεων 64x64) και να έχει ως αρχικά δεδομένα αριθμούς modulo 256 ξεκινώντας από το 0 (δηλ. 0,1,2,...,255,0,1,2,...). Εναλλακτικά, η mem μπορεί να υλοποιηθεί ως μη-συνθέσιμη μνήμη δηλωμένη ως reg κατάλληλου τύπου μέσα στο ίδιο module.

Το φίλτρο εξομάλυνσης λειτουργεί όπως φαίνεται στο Σχήμα 1. Το φίλτρο διαβάζει δύο διαδοχικές τιμές (από τις διευθύνσεις address και address+1) και αντικαθιστά τις αντίστοιχες θέσεις μνήμης από το μέσο όρο των περιεχομένων των αντίστοιχων θέσεων. Το αποτέλεσμα αυτής της διαδικασίας είναι το φιλτράρισμα των απότομων μεταβολών ανάμεσα σε γειτονικά στοιχεία αποθήκευσης (τα οποία και αντιστοιχούν σε εικονοστοιχεία).

```
STATE_1:
  address = 0;
  goto STATE_2;
STATE_2:
  if (address < 4096) goto STATE_3; else goto STATE_6;
STATE_3:
  avg = 0;
  reg1 = mem[address];
  reg2 = mem[address+1];
  goto STATE_4;
STATE_4:
  avg = μέση τιμή των reg1, reg2;
  goto STATE_5;
STATE_5:
  mem[address ] = avg;
  mem[address+1] = avg;
  address = address + 2;
  goto STATE_2;
STATE_6:
  valid = 1;
```

Σχήμα 1: Ψευδοκώδικας για το φίλτρο εξομάλυνσης.

Ενδεικτική διεπαφή του κυκλώματος δίνεται στο Σχήμα 2, και οι θύρες εισόδου και εξόδου περιγράφονται αναλυτικά στον Πίνακα 1.



**Σχήμα 2:** Η διεπαφή του κυκλώματος εξομάλυνσης εικονοστοιχείων.

**Πίνακας 1:** Θύρες εισόδου και εξόδου για το κύκλωμα.

Θύρα	Εύρος bit	Κατευθυντικότητα	Περιγραφή
clk	1	Είσοδος	Είσοδος ρολογιού
reset	1	Είσοδος	Επανατοποθέτηση
go	1	Είσοδος	Σήμα ενεργοποίησης
valid	1	Έξοδος	Επιβεβαίωση εγκυρότητας της εξόδου

### Παράδοση και βαθμολόγηση της εργασίας

Στην εργασία του μαθήματος, ο φοιτητής καλείται

- να παραδώσει την περιγραφή του κυκλώματος που σχεδίασε σε Verilog HDL
- να αναπτύξει σε κείμενο την περιγραφή της λειτουργίας του κυκλώματος
- να παρουσιάσει αποτελέσματα (π.χ. κυματομορφές, αρχεία εισόδου/εξόδου) τα οποία να αποδεικνύουν τη σωστή λειτουργία του κυκλώματος

Η εργασία παραδίδεται σε τυπωμένη μορφή (με το συνολικό κώδικα Verilog HDL) και υποβάλλεται σε ηλεκτρονική μορφή (PDF της εργασίας + αρχεία κώδικα) στο email του διδάσκοντα. Οι φοιτητές μπορούν να παραδώσουν τις εργασίες τους το αργότερο μέχρι και την ημέρα των εξετάσεων της περιόδου Ιουνίου-Ιουλίου 2011. Εργασία η οποία θα παραδοθεί μετά το πέρας αυτής της ημερομηνίας, δεν θα βαθμολογηθεί ώστε να ληφθεί υπόψη για τις εξετάσεις της περιόδου Ιουνίου-Ιουλίου.

Μια εργασία βαθμολογείται με άριστα το 10. Μη εμπρόθεσμη παράδοση εργασίας συνεπάγεται το βαθμό μηδέν (0).

Η εργασία του μαθήματος είναι υποχρεωτική.