

# Στοιίβα με ειδικές λειτουργίες

Μάθημα: Γλώσσες Περιγραφής Υλικού I (CST304 / 2010-2011)

Διδάσκων: Νικόλαος Καββαδίας

[nkavn@uop.gr](mailto:nkavn@uop.gr)

11/04/2011

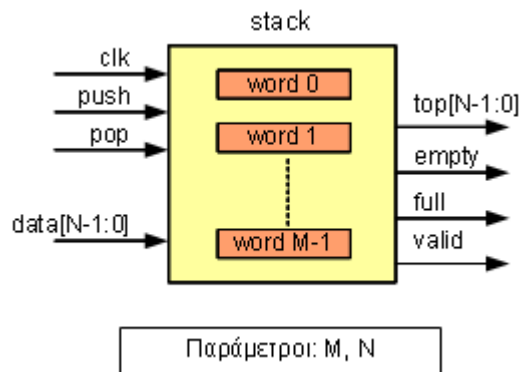
## Αντικείμενο της εργασίας

Αντικείμενο αυτής της εργασίας είναι η περιγραφή σε Verilog HDL ενός κυκλώματος στοιίβας με ειδικές λειτουργίες. Το κύκλωμα αποτελείται από μία μνήμη με οργάνωση στοιίβας και  $M$  θέσεις αποθήκευσης δεδομένων εύρους των  $N$ -bit, σύμφωνα με τη διεπαφή του Σχήματος 1. Η στοιίβα διαθέτει τις εισόδους push, pop που είναι εισόδοι ελέγχου, την είσοδο δεδομένων/διεύθυνσης data, και την έξοδο δεδομένων top.

Όταν η είσοδος push είναι 1, τα δεδομένα data ωθούνται στην στοιίβα, με ολίσθηση όλων των προηγούμενων περιεχομένων της. Όταν η pop είναι 1, η κορυφή της στοιίβας απομακρύνεται με ολίσθηση όλων των περιεχομένων και η είσοδος data αγνοείται. Κάθε στιγμή, η έξοδος top δείχνει τα περιεχόμενα της κορυφής της στοιίβας. Η push έχει προτεραιότητα ως προς την pop, ενώ η swap έχει τη χαμηλότερη προτεραιότητα. Οι δύο έξοδοι full και empty, είναι 1 όταν η στοιίβα είναι γεμάτη ή άδεια, αντίστοιχα. Η έξοδος valid είναι 1 μόνο όταν ζητείται μία έγκυρη λειτουργία από τη στοιίβα.

Οι παράμετροι  $M$  και  $N$  θα πρέπει να δηλωθούν είτε με τη δήλωση **parameter** είτε με τη δήλωση προεπεξεργαστή **define**.

Ενδεικτική διεπαφή του κυκλώματος δίνεται στο Σχήμα 1, και οι θύρες εισόδου και εξόδου περιγράφονται αναλυτικά στον Πίνακα 1.



Σχήμα 1: Η διεπαφή της στοιίβας με ειδικές λειτουργίες.

Πίνακας 1: Θύρες εισόδου και εξόδου για το κύκλωμα.

Θύρα	Εύρος bit	Κατευθυντικότητα	Περιγραφή
clk	1	Είσοδος	Είσοδος ρολογιού
push	1	Είσοδος	Ώθηση νέων δεδομένων στη στοιίβα
pop	1	Είσοδος	Εξαγωγή των δεδομένων της κορυφής της στοιίβας
data	$N$	Είσοδος	Δεδομένα εισόδου
top	$N$	Έξοδος	Περιεχόμενα της κορυφής της στοιίβας
empty	1	Έξοδος	Ένδειξη κενής στοιίβας
full	1	Έξοδος	Ένδειξη πλήρους στοιίβας
valid	1	Έξοδος	Ένδειξη έγκυρης λειτουργίας

## **Παράδοση και βαθμολόγηση της εργασίας**

Στην εργασία του μαθήματος, ο φοιτητής καλείται

- να παραδώσει την περιγραφή του κυκλώματος που σχεδίασε σε Verilog HDL
- να αναπτύξει σε κείμενο την περιγραφή της λειτουργίας του κυκλώματος
- να παρουσιάσει αποτελέσματα (π.χ. κυματομορφές, αρχεία εισόδου/εξόδου) τα οποία να αποδεικνύουν τη σωστή λειτουργία του κυκλώματος

Η εργασία παραδίδεται σε τυπωμένη μορφή (με το συνολικό κώδικα Verilog HDL) και υποβάλλεται σε ηλεκτρονική μορφή (PDF της εργασίας + αρχεία κώδικα) στο email του διδάσκοντα. Οι φοιτητές μπορούν να παραδώσουν τις εργασίες τους το αργότερο μέχρι και την ημέρα των εξετάσεων της περιόδου Ιουνίου-Ιουλίου 2011. Εργασία η οποία θα παραδοθεί μετά το πέρας αυτής της ημερομηνίας, δεν θα βαθμολογηθεί ώστε να ληφθεί υπόψη για τις εξετάσεις της περιόδου Ιουνίου-Ιουλίου.

Μια εργασία βαθμολογείται με άριστα το 10. Μη εμπρόθεσμη παράδοση εργασίας συνεπάγεται το βαθμό μηδέν (0).

Η εργασία του μαθήματος είναι υποχρεωτική.