

Υλοποίηση FSMD για τη συνάρτηση του McCarthy

Μάθημα: Γλώσσες Περιγραφής Υλικού I (CST304 / 2010-2011)

Διδάσκων: Νικόλαος Καββαδίας

nkavn@uop.gr

03/04/2011

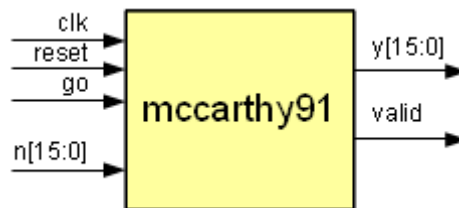
Αντικείμενο της εργασίας

Αντικείμενο αυτής της εργασίας είναι η περιγραφή σε Verilog HDL ενός κυκλώματος το οποίο υλοποιεί την μη-αναδρομική (επαναληπτική) εκδοχή της συνάρτησης του John McCarthy (`mccarthy91`) η οποία χρησιμοποιεί ως ένα τεστ για μεταγωγτιστές, εργαλεία στατικής ανάλυσης, κ.λ.π.. Η συνάρτηση αποτελείται από ένα βρόχο `for` στον οποίο ένας αρχικός ακέραιος `n` (`n0`) μεταβάλλεται με φαινομενικά τυχαίο τρόπο μέχρις ότου `c == 0`. Ο αλγόριθμος δίνεται στο Σχήμα 1. Το κύκλωμα διαθέτει είσοδο `n` των 16-bit και έξοδο `y` των 16-bit, επίσης.

```
n0 = n;
for (c = 1; c != 0; ) {
    if (n0 > 100) {
        n0 = n0 - 10;
        c--;
    } else {
        n0 = n0 + 11;
        c++;
    }
}
y = n0;
```

Σχήμα 1: Κώδικας ANSI C για τη συνάρτηση `mccarthy91`.

Ενδεικτική διεπαφή του κυκλώματος δίνεται στο Σχήμα 2, και οι θύρες εισόδου και εξόδου περιγράφονται αναλυτικά στον Πίνακα 1. Ζητείται η υλοποίηση του κυκλώματος ως FSMD (Finite-State Machine with Datapath). Για το σκοπό αυτό θα πρέπει να σχεδιάσετε το διάγραμμα ροής για τον κώδικα του Σχήματος 1 και να το χωρίσετε σε καταστάσεις του FSMD.



Σχήμα 2: Η διεπαφή του κυκλώματος για την υλοποίηση της συνάρτησης `mccarthy91`.

Πίνακας 1: Θύρες εισόδου και εξόδου για το κύκλωμα.

Θύρα	Εύρος bit	Κατευθυντικότητα	Περιγραφή
clk	1	Είσοδος	Είσοδος ρολογιού
reset	1	Είσοδος	Επανατοποθέτηση
go	1	Είσοδος	Σήμα ενεργοποίησης
n	16	Είσοδος	Αρχικά δεδομένα
y	16	Έξοδος	Αποτέλεσμα
valid	1	Έξοδος	Επιβεβαίωση εγκυρότητας της εξόδου

Παράδοση και βαθμολόγηση της εργασίας

Στην εργασία του μαθήματος, ο φοιτητής καλείται

- να παραδώσει την περιγραφή του κυκλώματος που σχεδίασε σε Verilog HDL
- να αναπτύξει σε κείμενο την περιγραφή της λειτουργίας του κυκλώματος
- να παρουσιάσει αποτελέσματα (π.χ. κυματομορφές, αρχεία εισόδου/εξόδου) τα οποία να αποδεικνύουν τη σωστή λειτουργία του κυκλώματος

Η εργασία παραδίδεται σε τυπωμένη μορφή (με το συνολικό κώδικα Verilog HDL) και υποβάλλεται σε ηλεκτρονική μορφή (PDF της εργασίας + αρχεία κώδικα) στο email του διδάσκοντα. Οι φοιτητές μπορούν να παραδώσουν τις εργασίες τους το αργότερο μέχρι και την ημέρα των εξετάσεων της περιόδου Ιουνίου-Ιουλίου 2011. Εργασία η οποία θα παραδοθεί μετά το πέρας αυτής της ημερομηνίας, δεν θα βαθμολογηθεί ώστε να ληφθεί υπόψη για τις εξετάσεις της περιόδου Ιουνίου-Ιουλίου.

Μια εργασία βαθμολογείται με άριστα το 10. Μη εμπρόθεσμη παράδοση εργασίας συνεπάγεται το βαθμό μηδέν (0).

Η εργασία του μαθήματος είναι υποχρεωτική.