

# Ουρά με ειδικές λειτουργίες

Μάθημα: Γλώσσες Περιγραφής Υλικού I (CST304 / 2009-2010)

Διδάσκων: Νικόλαος Καββαδίας

[nkavn@uop.gr](mailto:nkavn@uop.gr)

23/04/2010

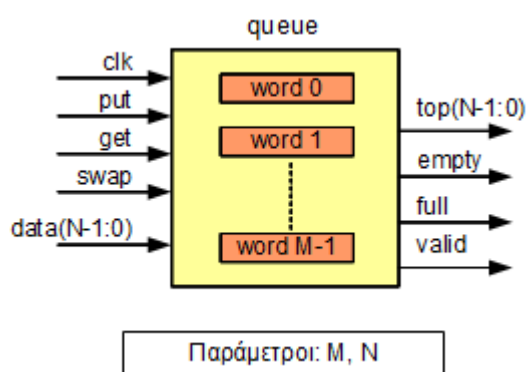
## Αντικείμενο της εργασίας

Αντικείμενο αυτής της εργασίας είναι η περιγραφή σε Verilog HDL ενός κυκλώματος ουράς FIFO (First In, First Out) με ειδικές λειτουργίες. Το κύκλωμα αποτελείται από μία μνήμη με οργάνωση ουράς και  $M$  θέσεις αποθήκευσης δεδομένων εύρους των  $N$ -bit, σύμφωνα με τη διεπαφή του Σχήματος 1. Η ουρά διαθέτει τις εισόδους `put`, `get`, και `swap` που είναι εισόδοι ελέγχου, την είσοδο δεδομένων/διεύθυνσης `data`, και την έξοδο δεδομένων `top`.

Όταν η είσοδος `put` είναι 1, τα δεδομένα `data` ωθούνται στην ουρά, με ολίσθηση όλων των προηγούμενων περιεχομένων της. Όταν η `get` είναι 1, το πρώτο (παλαιότερο) στοιχείο της ουράς απομακρύνεται, με κατάλληλη ολίσθηση όλων των περιεχομένων και η είσοδος `data` αγνοείται. Στην περίπτωση που η είσοδος `swap` είναι 1, τότε η είσοδος `data` ερμηνεύεται ως διεύθυνση στην ουρά. Στη λειτουργία `swap`, ανταλλάσσονται τα περιεχόμενα της θέσης με διεύθυνση ίση με `data`, με τα περιεχόμενα της θέσης `data+1`. Προκειμένου την προσπέλαση σε μία έγκυρη διεύθυνση για τη λειτουργία της ανταλλαγής (`swap`), θα πρέπει η τιμή της `data` να είναι μικρότερη ή ίση από το  $M-2$ . Κάθε στιγμή, η έξοδος `top` δείχνει τα περιεχόμενα της πρώτης (παλαιότερης) θέσης της ουράς. Η `put` έχει προτεραιότητα ως προς την `get`, ενώ η `swap` έχει τη χαμηλότερη προτεραιότητα. Οι δύο έξοδοι `full` και `empty`, είναι 1 όταν η ουρά είναι γεμάτη ή άδεια, αντίστοιχα. Η έξοδος `valid` είναι 1 μόνο όταν ζητείται μία έγκυρη λειτουργία από τη ουρά.

Οι παράμετροι  $M$  και  $N$  θα πρέπει να δηλωθούν με τη δήλωση **parameter**.

Ενδεικτική διεπαφή του κυκλώματος δίνεται στο Σχήμα 1, και οι θύρες εισόδου και εξόδου περιγράφονται αναλυτικά στον Πίνακα 1.



Σχήμα 1: Η διεπαφή της ουράς με ειδικές λειτουργίες.

**Πίνακας 1:** Θύρες εισόδου και εξόδου για το κύκλωμα.

Θύρα	Εύρος bit	Κατευθυντικότητα	Περιγραφή
clk	1	Είσοδος	Είσοδος ρολογιού
put	1	Είσοδος	Ώθηση νέων δεδομένων στην ουρά
get	1	Είσοδος	Εξαγωγή των δεδομένων από την κορυφή της ουράς
swap	1	Είσοδος	Ανταλλαγή των περιεχόμενων των θέσεων data και data+1 της ουράς, όταν αυτό είναι επιτρεπτό
data	N	Είσοδος	Δεδομένα εισόδου
top	N	Έξοδος	Περιεχόμενα του παλαιότερου στοιχείου της ουράς
empty	1	Έξοδος	Ένδειξη κενής ουράς
full	1	Έξοδος	Ένδειξη πλήρους ουράς
valid	1	Έξοδος	Ένδειξη έγκυρης λειτουργίας

### **Παράδοση και βαθμολόγηση της εργασίας**

Στην εργασία του μαθήματος, ο φοιτητής καλείται

- να παραδώσει την περιγραφή του κυκλώματος που σχεδίασε σε Verilog HDL
- να αναπτύξει σε κείμενο την περιγραφή της λειτουργίας του κυκλώματος
- να παρουσιάσει αποτελέσματα (π.χ. κυματομορφές, αρχεία εισόδου/εξόδου) τα οποία να αποδεικνύουν τη σωστή λειτουργία του κυκλώματος

Η εργασία παραδίδεται σε τυπωμένη μορφή (με το συνολικό κώδικα Verilog HDL) και υποβάλλεται σε ηλεκτρονική μορφή (PDF της εργασίας + αρχεία κώδικα) στο email του διδάσκοντα. Οι φοιτητές μπορούν να παραδώσουν τις εργασίες τους το αργότερο μέχρι και την ημέρα των εξετάσεων της περιόδου Ιουνίου-Ιουλίου 2010. Εργασία η οποία θα παραδοθεί μετά το πέρας αυτής της ημερομηνίας, δεν θα βαθμολογηθεί ώστε να ληφθεί υπόψη για τις εξετάσεις της περιόδου Ιουνίου-Ιουλίου.

Μια εργασία βαθμολογείται με άριστα το 1.25. Μη εμπρόθεσμη παράδοση εργασίας συνεπάγεται το βαθμό μηδέν (0).

Η εργασία του μαθήματος είναι υποχρεωτική.