

# ALU υψηλών επιδόσεων

Μάθημα: Γλώσσες Περιγραφής Υλικού I (CST304 / 2009-2010)

Διδάσκων: Νικόλαος Καββαδίας

[nkavn@uop.gr](mailto:nkavn@uop.gr)

23/04/2010

## Αντικείμενο της εργασίας

Αντικείμενο αυτής της εργασίας είναι η περιγραφή σε Verilog HDL μιας αριθμητικής/λογικής μονάδας (ALU) υψηλών επιδόσεων, η οποία είναι παρόμοια με τη βελτιστοποιημένη ALU του πλάσιμου επεξεργαστή Nios-II της Altera Inc..

Η αριθμητική μονάδα θα πρέπει να υλοποιεί τις πράξεις που περιγράφονται στον Πίνακα 1.

**Πίνακας 1:** Υποστηριζόμενες λειτουργίες από την ALU υψηλών επιδόσεων.

Instruction	OperandA	OperandB	AdderResult	LogicResult
<b>Arithmetic Instructions</b>				
ADD	RA	RB	OpA + OpB	0
SUB/CMP	RA	~RB	OpA + OpB + 1	0
NEG	0	~RB	OpA + OpB + 1	0
ABS	0	~RB	OpA + OpB + 1	0 (result only valid if OpA[31] = '1')
<b>Logical Instructions</b>				
AND	RA	~RB	0	OpA & ~OpB
ANDN	RA	RB	0	OpA & ~OpB
OR	RA	RB	OpB	OpA & ~OpB
XOR	RA	RB	OpB	OpA
NOT	RA	0xFFFFFFFF	OpB	OpA
MOV	RA	RB	0	OpA
<b>Byte/Word Instructions</b>				
EXT8	RA	RB	0	{0, 0, 0, OpA[7:0]} if OpB[1:0] = '00' {0, 0, 0, OpA[15:8]} if OpB[1:0] = '01' {0, 0, 0, OpA[23:16]} if OpB[1:0] = '10' {0, 0, 0, OpA[31:24]} if OpB[1:0] = '11'
EXT16	RA	RB	0	{0, OpA[15:0]} if OpB[1] = '0' {0, OpA[31:16]} if OpB[1] = '1'
FILL8	RA	-	0	{OpA[7:0], OpA[7:0], OpA[7:0], OpA[7:0]}
FILL16	RA	-	0	{OpA[15:0], OpA[15:0]}
SWAP	RA	-	0	{OpA[15:0], OpA[31:16]}
SEXT8	RA	0xFFFFF00	OpA[7] ? OpB : 0	OpA & ~OpB
SEXT16	RA	0xFFFF0000	OpA[15] ? OpB : 0	OpA & ~OpB

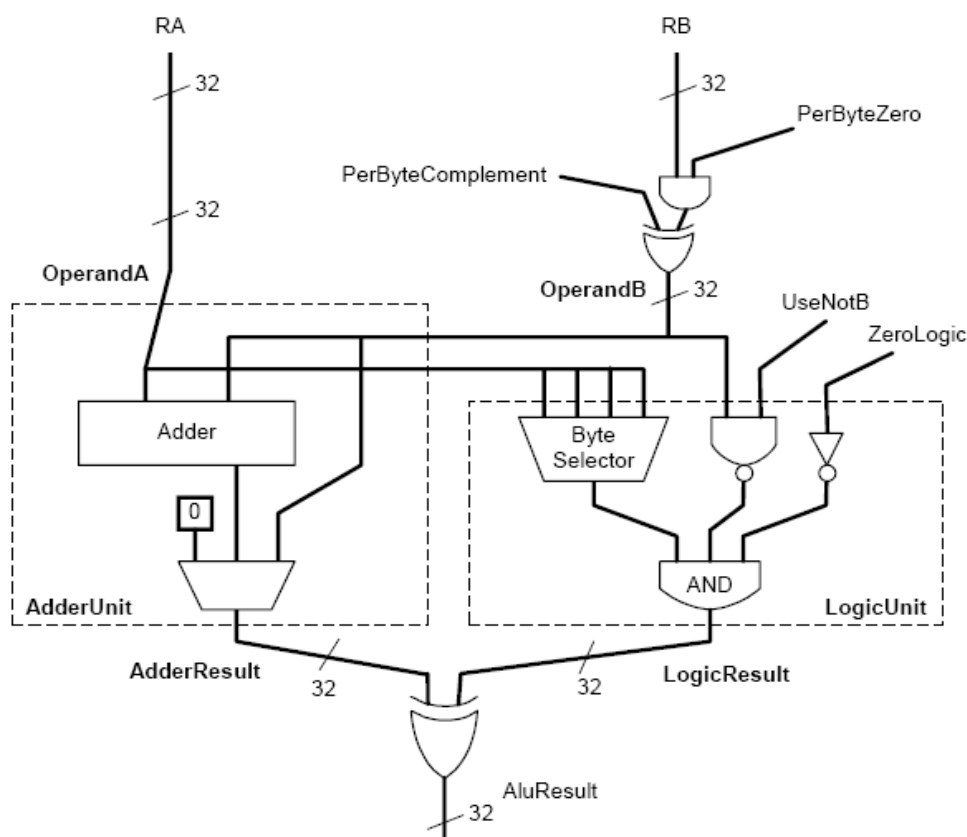
Για κάθε εντολή/λειτουργία, τα ορίσματα OperandA και OperandB προέρχονται από τις εισόδους RA, RB των 32-bit, είτε αποτελούν σταθερές ποσότητες. Οι εισοδοί PerByteZero και PerByteComplement ελέγχουν σήματα τα οποία χρησιμοποιούνται για το χειρισμό των ξεχωριστών byte του ορίσματος OperandB (OpB για συντομία). Κάθε byte μπορεί να είναι είτε ίσο με το αντίστοιχο byte του RB, είτε να είναι το συμπλήρωμα-

ως-προς-1 αυτού (~RB), είτε να είναι 0x00 ή 0xFF.

Ο πυρήνας της ALU αποτελείται από δύο λειτουργικές μονάδες, τις AdderUnit και LogicUnit. Οι έξοδοι από τις δύο αυτές μονάδες, συνδυάζονται με πύλη XOR για τη δημιουργία της τελικής εξόδου (AluResult) της αριθμητικής/λογικής μονάδας. Η χρήση της XOR, επιτρέπει τη ταυτόχρονη και ανεξάρτητη λειτουργία της αριθμητικής και της λογικής μονάδας

Η αριθμητική μονάδα (AdderUnit) χρησιμοποιείται ουσιαστικά ως ένας απλός αθροιστής/αφαιρέτης. Η λογική μονάδα (LogicUnit) περιλαμβάνει τον επιλογέα byte (byte-selector). Ο byte-selector αποτελείται στην πράξη από τέσσερις ανεξάρτητους πολυπλέκτες 4-σε-1. Κάθε πολυπλέκτης επιλέγει ένα από τα τέσσερα byte του OpA. Με τον τρόπο αυτό, ο byte-selector χρησιμοποιείται για την εκτέλεση περιστροφών (rotations), και εξαγωγών ποσοτήτων μεγέθους byte ή word. Το αποτέλεσμα του byte-selector, μπορεί να εφαρμοστεί σε πύλη AND μαζί με την ποσότητα ~OpB, χρησιμοποιώντας το σήμα ελέγχου UseNotB. Το σήμα ελέγχου ZeroLogic, επιβάλλει το αποτέλεσμα 0 για τη λογική μονάδα (LogicResult).

Η αρχιτεκτονική οργάνωση και η διεπαφή (θύρες εισόδου και εξόδου) του κυκλώματος δίνεται στο Σχήμα 1.



Σχήμα 1: Η αρχιτεκτονική οργάνωση και η διεπαφή της ALU υψηλών επιδόσεων.

## Παράδοση και βαθμολόγηση της εργασίας

Στην εργασία του μαθήματος, ο φοιτητής καλείται

- να παραδώσει την περιγραφή του κυκλώματος που σχεδίασε σε Verilog HDL
- να αναπτύξει σε κείμενο την περιγραφή της λειτουργίας του κυκλώματος
- να παρουσιάσει αποτελέσματα (π.χ. κυματομορφές, αρχεία εισόδου/εξόδου) τα οποία να αποδεικνύουν τη σωστή λειτουργία του κυκλώματος

Η εργασία παραδίδεται σε τυπωμένη μορφή (με το συνολικό κώδικα Verilog HDL) και υποβάλλεται σε ηλεκτρονική μορφή (PDF της εργασίας + αρχεία κώδικα) στο email του διδάσκοντα. Οι φοιτητές μπορούν

να παραδώσουν τις εργασίες τους το αργότερο μέχρι και την ημέρα των εξετάσεων της περιόδου Ιουνίου-Ιουλίου 2010. Εργασία η οποία θα παραδοθεί μετά το πέρας αυτής της ημερομηνίας, δεν θα βαθμολογηθεί ώστε να ληφθεί υπόψη για τις εξετάσεις της περιόδου Ιουνίου-Ιουλίου.

Μια εργασία βαθμολογείται με άριστα το 1.25. Μη εμπρόθεσμη παράδοση εργασίας συνεπάγεται το βαθμό μηδέν (0).

Η εργασία του μαθήματος είναι υποχρεωτική.