

# Κωδικοποιητής/αποκωδικοποιητής δέλτα

Μάθημα: Γλώσσες Περιγραφής Υλικού I (CST304 / 2009-2010)

Διδάσκων: Νικόλαος Καββαδίας

[nkavv@uop.gr](mailto:nkavv@uop.gr)

16/04/2010

## Αντικείμενο της εργασίας

Αντικείμενο αυτής της εργασίας είναι η περιγραφή σε Verilog HDL ενός κυκλώματος το οποίο θα πραγματοποιεί κωδικοποίηση/αποκωδικοποίηση δέλτα (delta encoding/decoding) σύμφωνα με εξωτερική επιλογή του χρήστη. Η κωδικοποίηση δέλτα αποτελεί έναν απλό τρόπο για τη συμπίεση δεδομένων, και λειτουργεί αποθηκεύοντας τις τιμές διαφοράς μεταξύ διαδοχικών δεδομένων. Για παράδειγμα για την ακολουθία τιμών: 1, 5, 7, 11, 12, οι αντίστοιχες τιμές δέλτα είναι 1, 4, 2, 4, 1.

Το κύκλωμα θα δέχεται ως είσοδο τα σήμα `clk` (σήμα χρονισμού), `reset` (σήμα επανατοποθέτησης) και `start`. Όταν το σήμα `start` είναι 1, ενεργοποιείται η λειτουργία του κυκλώματος. Η είσοδος `encode` χρησιμοποιείται για τη δήλωση λειτουργίας κωδικοποίησης (`encode = 1`) και αποκωδικοποίησης (`encode = 0`). Το κύκλωμα διαθέτει εσωτερική μνήμη RAM με μία θύρα εισόδου (`din`) και μία θύρα εξόδου (`dout`), οι οποίες χρησιμοποιούν κοινή θύρα διευθυνσιοδότησης (`rwaddr`). Στη μνήμη RAM βρίσκονται προαποθηκευμένα τα αρχικά δεδομένα δοκιμής (η δήλωσή τους γίνεται με μπλοκ `initial` στη Verilog HDL). Έξοδος του κυκλώματος είναι το σήμα `done` το οποίο γίνεται 1 με το πέρας της διαδικασίας κωδικοποίησης ή αποκωδικοποίησης. Προτείνεται η υλοποίηση του κυκλώματος με τη βοήθεια μηχανής πεπερασμένων καταστάσεων η οποία θα ελέγχει τον αντίστοιχο (ενσωματωμένο) χειριστή δεδομένων (αρχιτεκτονική FSM: Finite-State Machine with Datapath). Ο αριθμός των στοιχείων της μνήμης RAM, `N` να δηλωθεί ως παράμετρος (δήλωση **parameter**). Η RAM μπορεί να χρησιμοποιεί θέσεις αποθήκευσης με εύρος 7 bit.

Στην άσκηση μπορεί να χρησιμοποιηθεί η τιμή `N = 16` και ως αρχικά δεδομένα της RAM, οι αριθμοί: 1, 2, 3, 5, 7, 11, 13, 17, 19, 23, 29, 31, 37, 41, 43, 47.

Η κωδικοποίηση δέλτα των παραπάνω τιμών θα δώσει τα συμπιεσμένα περιεχόμενα της RAM:

1 1 1 2 2 4 2 4 2 4 6 2 6 4 2 4.

Εφαρμόζοντας αποκωδικοποίηση δέλτα στις συμπιεσμένες τιμές, λαμβάνονται τα αρχικά περιεχόμενα της RAM.

Στο Σχήμα 1 δίνεται ψευδοκώδικας, ο οποίος περιγράφει τη λειτουργία του κυκλώματος κατά την κωδικοποίηση και την αποκωδικοποίηση. Τα σχόλια που περιλαμβάνονται στον ψευδοκώδικα, δίνουν ένα ενδεικτικό διαχωρισμό της συμπεριφοράς του κυκλώματος σε καταστάσεις ενός FSM (μηχανή πεπερασμένων καταστάσεων). Οι μεταβλητές `t`, `original` αντιστοιχούν σε καταχωρητές τύπου `D`, ενώ η μεταβλητή `i` αντιστοιχεί σε απαριθμητή. Μπορούν να χρησιμοποιηθούν διαφορετικοί καταχωρητές για την `t` (π.χ. `t1`, `t2`) στο σχεδιασμό. Η μνήμη RAM θα πρέπει να χρησιμοποιεί ασύγχρονη ανάγνωση.

```

// DELTA ENCODER
STATE E1:
  t = 0;
  i = 0;
  original = 0;
  goto STATE E2;

STATE E2:
  original = RAM[i];
  RAM[i] = RAM[i] - t;
  goto STATE E3;

STATE E3:
  t = original;
  i = i + 1;
  if (i < N) goto STATE E2 else goto STATE E4;

STATE E4:
  done = 1;

// DELTA DECODER
STATE D1:
  t = 0;
  i = 0;
  goto STATE D2;

STATE D2:
  RAM[i] = RAM[i] + t;
  goto STATE D3;

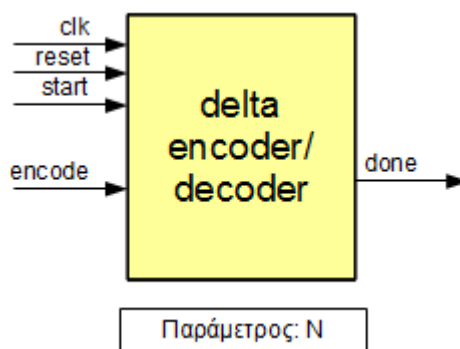
STATE D3:
  t = RAM[i];
  i = i + 1;
  if (i < N) goto STATE D2 else goto STATE D4;

STATE D4:
  done = 1;

```

**Σχήμα 1:** Ψευδοκώδικας για τον κωδικοποιητή/αποκωδικοποιητή δέλτα.

Ενδεικτική διεπαφή του κυκλώματος δίνεται στο Σχήμα 2, και οι θύρες εισόδου και εξόδου περιγράφονται αναλυτικά στον Πίνακα 1.



**Σχήμα 2:** Η διεπαφή του κυκλώματος.

**Πίνακας 1:** Θύρες εισόδου και εξόδου για το κύκλωμα.

Θύρα	Εύρος bit	Κατευθυντικότητα	Περιγραφή
clk	1	Είσοδος	Είσοδος ρολογιού
reset	1	Είσοδος	Επανατοποθέτηση

Θύρα	Εύρος bit	Κατευθυντικότητα	Περιγραφή
start	1	Είσοδος	Ενεργοποίηση της λειτουργίας του κυκλώματος
encode	1	Είσοδος	Επιλογή λειτουργίας (0: αποκωδικοποίηση, 1: κωδικοποίηση)
done	1	Έξοδος	Σημαία υπόδειξης του τερματισμού λειτουργίας του κυκλώματος

### Παράδοση και βαθμολόγηση της εργασίας

Στην εργασία του μαθήματος, ο φοιτητής καλείται

- να παραδώσει την περιγραφή του κυκλώματος που σχεδίασε σε Verilog HDL
- να αναπτύξει σε κείμενο την περιγραφή της λειτουργίας του κυκλώματος
- να παρουσιάσει αποτελέσματα (π.χ. κυματομορφές, αρχεία εισόδου/εξόδου) τα οποία να αποδεικνύουν τη σωστή λειτουργία του κυκλώματος

Η εργασία παραδίδεται σε τυπωμένη μορφή (με το συνολικό κώδικα Verilog HDL) και υποβάλλεται σε ηλεκτρονική μορφή (PDF της εργασίας + αρχεία κώδικα) στο email του διδάσκοντα. Οι φοιτητές μπορούν να παραδώσουν τις εργασίες τους το αργότερο μέχρι και την ημέρα των εξετάσεων της περιόδου Ιουνίου-Ιουλίου 2010. Εργασία η οποία θα παραδοθεί μετά το πέρας αυτής της ημερομηνίας, δεν θα βαθμολογηθεί ώστε να ληφθεί υπόψη για τις εξετάσεις της περιόδου Ιουνίου-Ιουλίου.

Μια εργασία βαθμολογείται με άριστα το 1.25. Μη εμπρόθεσμη παράδοση εργασίας συνεπάγεται το βαθμό μηδέν (0).

Η εργασία του μαθήματος είναι υποχρεωτική.