

# Υπολογισμός αναδρομικής σχέσης

Μάθημα: Γλώσσες Περιγραφής Υλικού I (CST304 / 2009-2010)

Διδάσκων: Νικόλαος Καββαδίας

[nkavn@uop.gr](mailto:nkavn@uop.gr)

02/04/2010

## Αντικείμενο της εργασίας

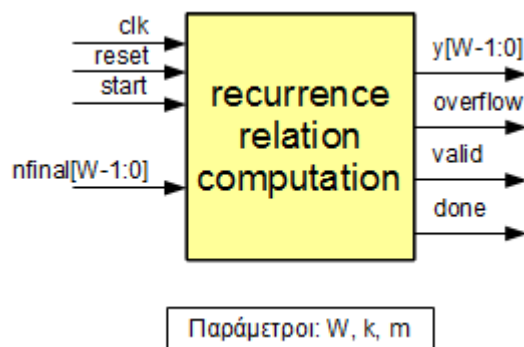
Αντικείμενο αυτής της εργασίας είναι η περιγραφή σε Verilog HDL ενός κυκλώματος για τον υπολογισμό της εξής αναδρομικής σχέσης:

$$y = T(n) = k \cdot T(n-1) + m \cdot n$$

όπου  $T(0) = 1$ ,  $n \geq 1$ , και  $k, m$  είναι παράμετροι που μπορούν να πάρουν ακέραιες μη αρνητικές τιμές.

Το κύκλωμα θα δέχεται την είσοδο  $n_{final}$ , η οποία δηλώνει την τελική τιμή του  $n$  και έχει εύρος  $W$ -bit. Το κύκλωμα θα παράγει ως έξοδο αποτέλεσμα  $y$  με εύρος bit ίσο με  $W$ . Η είσοδος  $start$  ενεργοποιεί τη λειτουργία του κυκλώματος, ενώ η έξοδος  $done$  γίνεται 1 όταν ολοκληρωθεί ο υπολογισμός του αποτελέσματος, αλλιώς είναι 0. Η έξοδος  $overflow$  γίνεται 1 όταν έχουμε υπερχείλιση του αποτελέσματος  $y$ , ενώ η έξοδος  $valid$  γίνεται 1 σε κάθε νέο όρο  $T(n)$  ο οποίος υπολογίζεται από το κύκλωμα. Οι παράμετροι  $k, m, W$  θα πρέπει να δηλωθούν είτε με τη δήλωση **parameter** είτε με τη δήλωση προεπεξεργαστή **defparam**. Προτείνεται η υλοποίηση του κυκλώματος με τη βοήθεια απαριθμητή (up counter) στον οποίο αρχικά φορτώνεται η τιμή 0, και συγκριτή του αποτελέσματος του απαριθμητή με το  $n_{final}$ .

Ενδεικτική διεπαφή του κυκλώματος δίνεται στο Σχήμα 1, και οι θύρες εισόδου και εξόδου περιγράφονται αναλυτικά στον Πίνακα 1.



Σχήμα 1: Η διεπαφή του κυκλώματος υπολογισμού αναδρομικής σχέσης.

Πίνακας 1: Θύρες εισόδου και εξόδου για το κύκλωμα.

Θύρα	Εύρος bit	Κατευθυντικότητα	Περιγραφή
clk	1	Είσοδος	Είσοδος ρολογιού
reset	1	Είσοδος	Επανατοποθέτηση
start	1	Είσοδος	Σήμα ενεργοποίησης
nfinal	W	Είσοδος	Τελική τιμή του $n$
y	W	Έξοδος	Τιμή του αποτελέσματος $T(n)$
overflow	1	Έξοδος	Σημαία υπερχείλισης της τιμής του $T(n)$
valid	1	Έξοδος	Σημαία υπόδειξης νέου όρου $T(n)$
done	1	Έξοδος	Σημαία ολοκλήρωσης του υπολογισμού

## **Παράδοση και βαθμολόγηση της εργασίας**

Στην εργασία του μαθήματος, ο φοιτητής καλείται

- να παραδώσει την περιγραφή του κυκλώματος που σχεδίασε σε Verilog HDL
- να αναπτύξει σε κείμενο την περιγραφή της λειτουργίας του κυκλώματος
- να παρουσιάσει αποτελέσματα (π.χ. κυματομορφές, αρχεία εισόδου/εξόδου) τα οποία να αποδεικνύουν τη σωστή λειτουργία του κυκλώματος

Η εργασία παραδίδεται σε τυπωμένη μορφή (με το συνολικό κώδικα Verilog HDL) και υποβάλλεται σε ηλεκτρονική μορφή (PDF της εργασίας + αρχεία κώδικα) στο email του διδάσκοντα. Οι φοιτητές μπορούν να παραδώσουν τις εργασίες τους το αργότερο μέχρι και την ημέρα των εξετάσεων της περιόδου Ιουνίου-Ιουλίου 2010. Εργασία η οποία θα παραδοθεί μετά το πέρας αυτής της ημερομηνίας, δεν θα βαθμολογηθεί ώστε να ληφθεί υπόψη για τις εξετάσεις της περιόδου Ιουνίου-Ιουλίου.

Μια εργασία βαθμολογείται με άριστα το 1.25. Μη εμπρόθεσμη παράδοση εργασίας συνεπάγεται το βαθμό μηδέν (0).

Η εργασία του μαθήματος είναι υποχρεωτική.