

Απλός μη-απωλεστικός συμπίεσής εικόνας

Μάθημα: Γλώσσες Περιγραφής Υλικού I (CST304 / 2009-2010)

Διδάσκων: Νικόλαος Καββαδίας

nkavn@uop.gr

31/03/2010

Αντικείμενο της εργασίας

Αντικείμενο αυτής της εργασίας είναι η περιγραφή σε Verilog HDL ενός κυκλώματος για τη συμπίεση δεδομένων εικόνας χωρίς απώλειες (μη-απωλεστική συμπίεση). Τα δεδομένα της εικόνας θεωρούνται αποθηκευμένα σε μνήμη ROM με διαστάσεις $M \times N$ (πλάτος κατά τον άξονα x επί το ύψος κατά τον άξονα y) στοιχεία και ότι το στοιχείο στη θέση (x,y) μπορεί να διευθυνσιοδοτηθεί από τη γραμμικοποιημένη διεύθυνση που δίνεται από την έκφραση:

$$(M \times y) + x$$

Τα συμπίεσμένα δεδομένα αποθηκεύονται σε μνήμη RAM με σύγχρονη εγγραφή και ασύγχρονη ανάγνωση των ίδιων διαστάσεων. Κάθε θέση στη μνήμη είναι εύρους 8 bit.

Ο αλγόριθμος της συμπίεσης δίνεται στο Σχήμα 1. Ο αλγόριθμος υπολογίζει μία εκτίμηση (prediction) της τιμής του τρέχοντος εικονοστοιχείου, με βάση τις τιμές γειτονικών του στοιχείων. Στη συνέχεια, αποθηκεύει τη διαφορά ανάμεσα στην πρόβλεψη και στην πραγματική τιμή του εικονοστοιχείου. Η αποθήκευση γίνεται στον πίνακα b (RAM).

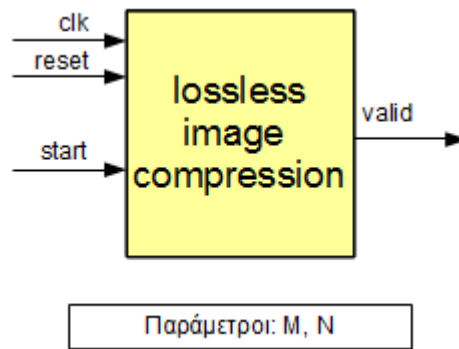
```
int i, j;
unsigned int a[N][M], b[N][M], prediction;

for (i=0; i<N; i++) {
  for (j=0; j<M; j++) {
    prediction = 2 * a[i-1][j-1] + a[i-1][j] + a[i][j-1];
    b[i][j] = a[i][j] - prediction;
  }
}
```

Σχήμα 1: Κώδικας ANSI C για τον αλγόριθμο συμπίεσης δεδομένων εικόνας.

Η διεπαφή του κυκλώματος δίνεται στο Σχήμα 1, και οι θύρες εισόδου και εξόδου περιγράφονται αναλυτικά στον Πίνακα 1. Το κύκλωμα δέχεται ως είσοδο τις συντεταγμένες (x,y) της λεγόμενης διεύθυνσης βάσης (base address). Όταν το σήμα start είναι ενεργό (start = 1'b1), τότε παράγονται εσωτερικά στο κύκλωμα όλες οι απαιτούμενες διευθύνσεις: (i-1, j-1), (i-1, j), (i, j-1), (i, j). Αυτό μπορεί να γίνει είτε παράλληλα είτε σε διαφορετικές καταστάσεις ενός FSM. Οι βρόχοι for θα πρέπει να υλοποιηθούν με τη βοήθεια απαριθμητών. Όταν ο απαριθμητής του εσωτερικού βρόχου ολοκληρώσει μία καταμέτρηση από το 0 ως το M-1, θα πρέπει να μηδενίζεται και να ενεργοποιεί τον απαριθμητή του εξωτερικού βρόχου ώστε αυτός να αυξήσει την τιμή του κατά 1. Όταν η διαδικασία της συμπίεσης ολοκληρωθεί της εικόνας τερματιστεί, το σήμα valid τίθεται στην τιμή 1'b1.

Οι παράμετροι M και N που περιγράφουν την οριζόντια και κάθετη διάσταση της μνήμης θα πρέπει να δηλωθούν είτε με τη δήλωση **parameter** είτε με τη δήλωση προεπεξεργαστή **defparam**.



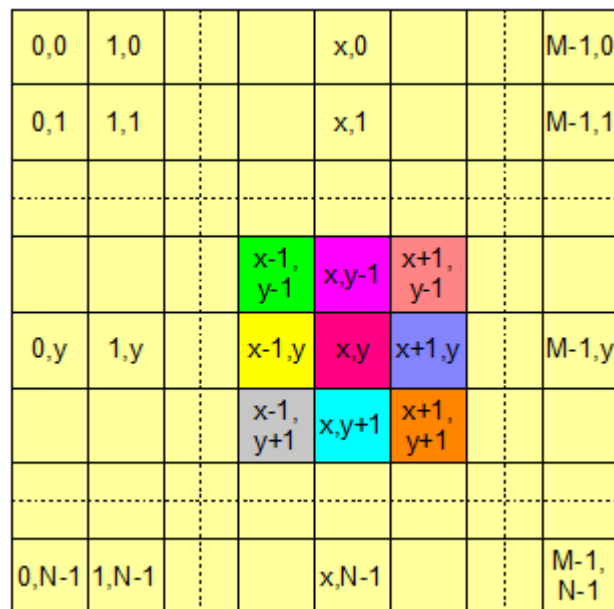
Σχήμα 2: Η διεπαφή του απλού συμπίεστη εικόνας.

Πίνακας 1: Θύρες εισόδου και εξόδου για το κύκλωμα

Θύρα	Εύρος bit	Κατευθυντι κότητα	Περιγραφή
clk	1	Είσοδος	Είσοδος ρολογιού
reset	1	Είσοδος	Επανατοποθέτηση
start	1	Είσοδος	Σήμα ενεργοποίησης
valid	1	Έξοδος	Επιβεβαίωση ολοκλήρωσης της διαδικασίας συμπίεσης

Η συνάρτηση $\log_2(x)$ υπολογίζει τον πλησιέστερο μεγαλύτερο ακέραιο (ceiling) στο λογάριθμο ως προς 2 ενός ακεραίου x . Χρησιμοποιείται για τον υπολογισμό του μέγιστου εύρους bit που χρειάζεται για τη διευθυνσιοδότηση σε μία σειρά δεδομένων όταν είναι γνωστός ο μέγιστος αριθμός των στοιχείων που την απαρτίζουν. Υλοποιείται ως function στη Verilog HDL και δίνεται στο Σχήμα 4.

Στο Σχήμα 3 παρουσιάζονται οι μαθηματικές εκφράσεις για τις 8 γειτονικές διευθύνσεις της θέσης (x,y) .



Σχήμα 3: Μαθηματικές εκφράσεις για τις άμεσα γειτνιάζουσες διευθύνσεις ως προς τη θέση (x,y)

```
// Base-2 logarithm function (LOG2(x)) [rounds to ceiling]
function integer log2;
  input integer inp;
  integer temp, i;
```

```

begin
  log2 = 0;
  temp = 1;
  for (i = 0; i <= inp; i = i + 1)
    begin
      if (temp < inp)
        begin
          log2 = log2 + 1;
          temp = temp * 2;
        end
      end
    end
  end
endfunction

```

Σχήμα 4: Συνάρτηση υπολογισμού του $\text{ceil}(\log_2(x))$.

Παράδοση και βαθμολόγηση της εργασίας

Στην εργασία του μαθήματος, ο φοιτητής καλείται

- να παραδώσει την περιγραφή του κυκλώματος που σχεδίασε σε Verilog HDL
- να αναπτύξει σε κείμενο την περιγραφή της λειτουργίας του κυκλώματος
- να παρουσιάσει αποτελέσματα (π.χ. κυματομορφές, αρχεία εισόδου/εξόδου) τα οποία να αποδεικνύουν τη σωστή λειτουργία του κυκλώματος

Η εργασία παραδίδεται σε τυπωμένη μορφή (με το συνολικό κώδικα Verilog HDL) και υποβάλλεται σε ηλεκτρονική μορφή (PDF της εργασίας + αρχεία κώδικα) στο email του διδάσκοντα. Οι φοιτητές μπορούν να παραδώσουν τις εργασίες τους το αργότερο μέχρι και την ημέρα των εξετάσεων της περιόδου Ιουνίου-Ιουλίου 2010. Εργασία η οποία θα παραδοθεί μετά το πέρας αυτής της ημερομηνίας, δεν θα βαθμολογηθεί ώστε να ληφθεί υπόψη για τις εξετάσεις της περιόδου Ιουνίου-Ιουλίου.

Μια εργασία βαθμολογείται με άριστα το 1.25. Μη εμπρόθεσμη παράδοση εργασίας συνεπάγεται το βαθμό μηδέν (0).

Η εργασία του μαθήματος είναι υποχρεωτική.