

# Προσέγγιση Ευκλείδειας απόστασης στο επίπεδο

Μάθημα: Γλώσσες Περιγραφής Υλικού I (CST304 / 2009-2010)

Διδάσκων: Νικόλαος Καββαδίας

[nkavn@uop.gr](mailto:nkavn@uop.gr)

30/03/2010

## Αντικείμενο της εργασίας

Αντικείμενο αυτής της εργασίας είναι η περιγραφή σε Verilog HDL ενός κυκλώματος για τον υπολογισμό προσέγγισης της Ευκλείδειας απόστασης στο επίπεδο  $eda = \sqrt{a^2 + b^2}$ , σύμφωνα με την έκφραση:

$$eda = \max((0.875*x + 0.5*y), x)$$

όπου  $x = \text{MAX}(|a|, |b|)$  και  $y = \text{MIN}(|a|, |b|)$ .

Το κύκλωμα θα δέχεται τις εισόδους  $a, b$ , των  $2*N$ -bit, και θα παράγει ως έξοδο αποτέλεσμα με εύρος bit ίσο με  $N$ . Η είσοδος *start* ενεργοποιεί τη λειτουργία του κυκλώματος, ενώ η έξοδος *done* γίνεται 1 όταν ολοκληρωθεί ο υπολογισμός του αποτελέσματος, αλλιώς είναι 0. Η παράμετρος  $N$  θα πρέπει να δηλωθεί είτε με τη δήλωση **parameter** είτε με τη δήλωση προεπεξεργαστή **defparam**. Προτείνεται η υλοποίηση του κυκλώματος με FSM 6 καταστάσεων.

Στο Σχήμα 1 δίνεται ισοδύναμος κώδικας ANSI C για τον υπολογισμό της προσέγγισης Ευκλείδειας απόστασης, για ακέραιους τύπου *int* (τυπικά: 32 bit).

```
#define ABS(x)          ((x) > 0 ? (x) : (-x))
#define MAX(x, y)      ((x) > (y) ? (x) : (y))
#define MIN(x, y)      ((x) < (y) ? (x) : (y))

int eda(int a, int b)
{
    int t1, t2, t3, t4, t5, t6, x, y, outp;

    // State 1
    t1 = ABS(a);
    t2 = ABS(b);

    // State 2
    x = MAX(t1, t2);
    y = MIN(t1, t2);

    // State 3
    t3 = x >> 3;
    t4 = y >> 1;

    // State 4
    t5 = x - t3;

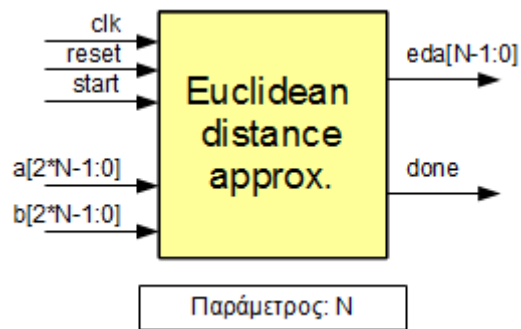
    // State 5
    t6 = t4 + t5;

    // State 6
    outp = MAX(t6, x);

    return (outp);
}
```

Σχήμα 1: Κώδικας ANSI C για τον αλγόριθμο υπολογισμού προσέγγισης Ευκλείδειας απόστασης.

Ενδεικτική διεπαφή του κυκλώματος δίνεται στο Σχήμα 2, και οι θύρες εισόδου και εξόδου περιγράφονται αναλυτικά στον Πίνακα 1.



**Σχήμα 2:** Η διεπαφή του κυκλώματος υπολογισμού ακέραιας προσέγγισης Ευκλείδειας απόστασης.

**Πίνακας 1:** Θύρες εισόδου και εξόδου για το κύκλωμα.

Θύρα	Εύρος bit	Κατευθυντικότητα	Περιγραφή
clk	1	Είσοδος	Είσοδος ρολογιού
reset	1	Είσοδος	Επανατοποθέτηση
start	1	Είσοδος	Σήμα ενεργοποίησης
a	2*N	Είσοδος	Τιμή συνισταμένης a
b	2*N	Είσοδος	Τιμή συνισταμένης b
eda	N	Έξοδος	Προσέγγιση της απόστασης του σημείου (a,b) από το (0,0) στο Καρτεσιανό επίπεδο
done	1	Έξοδος	Σημαία υπόδειξης έγκυρης εξόδου

### Παράδοση και βαθμολόγηση της εργασίας

Στην εργασία του μαθήματος, ο φοιτητής καλείται

- να παραδώσει την περιγραφή του κυκλώματος που σχεδίασε σε Verilog HDL
- να αναπτύξει σε κείμενο την περιγραφή της λειτουργίας του κυκλώματος
- να παρουσιάσει αποτελέσματα (π.χ. κυματομορφές, αρχεία εισόδου/εξόδου) τα οποία να αποδεικνύουν τη σωστή λειτουργία του κυκλώματος

Η εργασία παραδίδεται σε τυπωμένη μορφή (με το συνολικό κώδικα Verilog HDL) και υποβάλλεται σε ηλεκτρονική μορφή (PDF της εργασίας + αρχεία κώδικα) στο email του διδάσκοντα. Οι φοιτητές μπορούν να παραδώσουν τις εργασίες τους το αργότερο μέχρι και την ημέρα των εξετάσεων της περιόδου Ιουνίου-Ιουλίου 2010. Εργασία η οποία θα παραδοθεί μετά το πέρας αυτής της ημερομηνίας, δεν θα βαθμολογηθεί ώστε να ληφθεί υπόψη για τις εξετάσεις της περιόδου Ιουνίου-Ιουλίου.

Μια εργασία βαθμολογείται με άριστα το 1.25. Μη εμπρόθεσμη παράδοση εργασίας συνεπάγεται το βαθμό μηδέν (0).

Η εργασία του μαθήματος είναι υποχρεωτική.