

Προγραμματιζόμενος διαιρέτης με ακέραια σταθερά

Μάθημα: Γλώσσες Περιγραφής Υλικού I (CST304 / 2009-2010)

Διδάσκων: Νικόλαος Καββαδίας

nkavn@uop.gr

30/03/2010

Αντικείμενο της εργασίας

Αντικείμενο αυτής της εργασίας είναι η περιγραφή σε Verilog HDL ενός κυκλώματος διαίρεσης ενός μη προσημασμένου (θετικού) ακεραίου με μία μη προσημασμένη θετική σταθερά. Ο σχεδιασμός του κυκλώματος θα πρέπει να βασίζεται στην εξής ιδιότητα:

Για κάθε περιττό ακέραιο d , υπάρχει ακέραιος m τέτοιος ώστε:

$$d * m = 2^n - 1 \quad (1)$$

Από τη σχέση αυτή, επιλύοντας ως προς $1/d$ έχουμε:

$$1/d = m/(2^n - 1) = m * 2^{-n} * (1 + 2^{-n}) * (1 + 2^{-2n}) * (1 + 2^{-4n}) * \dots \quad (2)$$

Συνεπώς η διαίρεση $1/d$ μπορεί να αντικατασταθεί από το γινόμενο απείρων όρων της σχέσης (2).

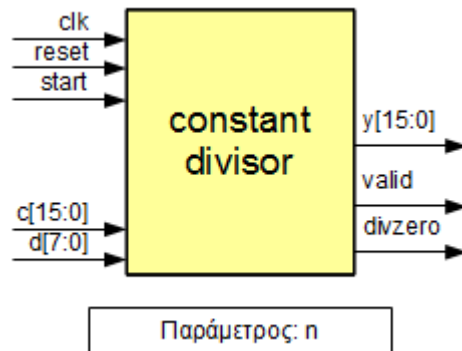
Το κύκλωμα του διαιρέτη θα πραγματοποιεί την διαίρεση c/d πολλαπλασιάζοντας το c με το $(1/d)$, δηλαδή: $c * (1/d)$. Σημειώνεται ότι ο πολλαπλασιασμός με παράγοντα 2^{-n} ισοδυναμεί με δεξιά ολίσθηση κατά n bit.

Η διαίρεση ενός άρτιου ακεραίου, έστω 2^d γίνεται εύκολα με ολίσθηση του αποτελέσματος της διαίρεσης με d , κατά μία θέση δεξιά.

Στο κύκλωμα δίνονται οι είσοδοι c , d , των 16 και 8 bit, αντίστοιχα, ενώ το αποτέλεσμα y είναι ακρίβειας 8 bit. Οι αριθμοί m για τις αντίστοιχες διαιρέσεις με σταθερά, υπολογίζονται με δοκιμαστικές επιλύσεις της (1), και θα βρίσκονται προαποθηκευμένοι σε μνήμη ROM ασύγχρονης ανάγνωσης των 256 θέσεων. Η διευθυνσιοδότησή τους στη ROM γίνεται από την είσοδο d . Η έξοδος valid γίνεται 1 όταν ολοκληρωθεί ο υπολογισμός της διαίρεσης c/d . Η έξοδος divzero γίνεται 1 μόνο όταν ο d είναι ίσος με το μηδέν, δηλαδή γίνεται προσπάθεια διαίρεσης με το μηδέν. Η παράμετρος n θα πρέπει να δηλωθεί είτε με τη δήλωση **parameter** είτε με τη δήλωση προεπεξεργαστή **defparam**. Για την παράμετρο n η οποία καθορίζει και τον αριθμό κύκλων για την εκτέλεση της διαίρεσης, μπορούν να χρησιμοποιηθούν οι τιμές 1, 2, 3, και 4. Σημειώνεται ότι οι εσωτερικές διασυνδέσεις, ολισθήσεις, προσωρινοί καταχωρητές κ.λ.π. που μπορεί να χρειαστούν στο σχεδιασμό του κυκλώματος, μπορούν να μεγαλύτερη ακρίβεια από τα 16 bit, ώστε π.χ. να είναι 24 ή 32-bit.

Για την επίδειξη της λειτουργίας του κυκλώματος, ζητείται να υλοποιείται η διαίρεση ακεραίου με ακέραια σταθερά για τις τιμές σταθεράς: 2, 3, 5, 7, 10, 60.

Ενδεικτική διεπαφή του κυκλώματος δίνεται στο Σχήμα 1, και οι θύρες εισόδου και εξόδου περιγράφονται αναλυτικά στον Πίνακα 1.



Σχήμα 1: Η διεπαφή του προγραμματιζόμενου διαιρέτη με σταθερά.

Πίνακας 1: Θύρες εισόδου και εξόδου για το κύκλωμα.

Θύρα	Εύρος bit	Κατευθυντικότητα	Περιγραφή
clk	1	Είσοδος	Είσοδος ρολογιού
reset	1	Είσοδος	Επανατοποθέτηση
start	1	Είσοδος	Έναρξη λειτουργίας του κυκλώματος
c	16	Είσοδος	Είσοδος δεδομένων (διαιρέτέος)
d	8	Είσοδος	Είσοδος δεδομένων (διαιρέτης, χρησιμοποιείται και ως διεύθυνση στη ROM των σταθερών m)
y	16	Έξοδος	Αποτέλεσμα της διαίρεσης
valid	1	Έξοδος	Σημαία υπόδειξης έγκυρης εξόδου
divzero	1	Έξοδος	Σημαία υπόδειξης διαίρεσης με το μηδέν

Παράδοση και βαθμολόγηση της εργασίας

Στην εργασία του μαθήματος, ο φοιτητής καλείται

- να παραδώσει την περιγραφή του κυκλώματος που σχεδίασε σε Verilog HDL
- να αναπτύξει σε κείμενο την περιγραφή της λειτουργίας του κυκλώματος
- να παρουσιάσει αποτελέσματα (π.χ. κυματομορφές, αρχεία εισόδου/εξόδου) τα οποία να αποδεικνύουν τη σωστή λειτουργία του κυκλώματος

Η εργασία παραδίδεται σε τυπωμένη μορφή (με το συνολικό κώδικα Verilog HDL) και υποβάλλεται σε ηλεκτρονική μορφή (PDF της εργασίας + αρχεία κώδικα) στο email του διδάσκοντα. Οι φοιτητές μπορούν να παραδώσουν τις εργασίες τους το αργότερο μέχρι και την ημέρα των εξετάσεων της περιόδου Ιουνίου-Ιουλίου 2010. Εργασία η οποία θα παραδοθεί μετά το πέρας αυτής της ημερομηνίας, δεν θα βαθμολογηθεί ώστε να ληφθεί υπόψη για τις εξετάσεις της περιόδου Ιουνίου-Ιουλίου.

Μια εργασία βαθμολογείται με άριστα το 1.25. Μη εμπρόθεσμη παράδοση εργασίας συνεπάγεται το βαθμό μηδέν (0).

Η εργασία του μαθήματος είναι υποχρεωτική.