

Γεννήτρια σπειροειδών διευθύνσεων

Μάθημα: Γλώσσες Περιγραφής Υλικού I (CST304 / 2009-2010)

Διδάσκων: Νικόλαος Καββαδίας

nkavn@uop.gr

29/03/2010

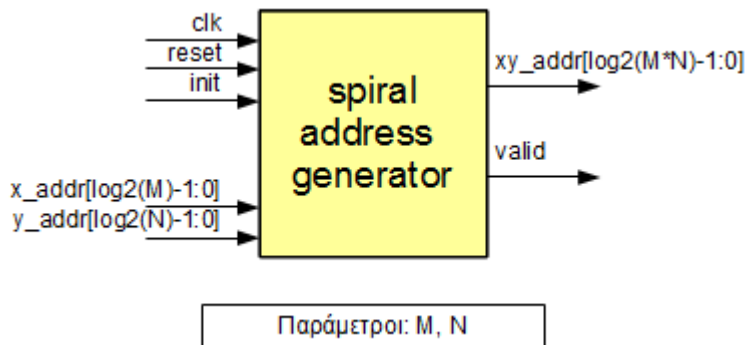
Αντικείμενο της εργασίας

Αντικείμενο αυτής της εργασίας είναι η περιγραφή σε Verilog HDL μιας προγραμματιζόμενης γεννήτριας σπειροειδών διευθύνσεων. Μια γεννήτρια διευθύνσεων χρησιμοποιείται για τη δημιουργία των κατάλληλων διευθύνσεων για την ανάγνωση και εγγραφή δεδομένων από και προς μία μνήμη. Η μνήμη αυτή η οποία δεν αποτελεί μέρος του ζητούμενου κυκλώματος, θεωρείται ότι έχει $M \times N$ (πλάτος κατά τον άξονα x επί το ύψος κατά τον άξονα y) στοιχεία και ότι το στοιχείο στη θέση (x,y) μπορεί να διευθυνσιοδοτηθεί από τη γραμμικοποιημένη διεύθυνση που δίνεται από την έκφραση:

$$(M \times y) + x$$

Η διεπαφή του κυκλώματος δίνεται στο Σχήμα 1, και οι θύρες εισόδου και εξόδου περιγράφονται αναλυτικά στον Πίνακα 1. Το κύκλωμα δέχεται ως είσοδο τις συντεταγμένες (x,y) της λεγόμενης διεύθυνσης βάσης (base address). Όταν το σήμα init είναι ενεργό (init = 1'b1), τότε πρέπει να παραχθεί μία νέα διεύθυνση στην έξοδο. Όταν αυτή είναι διαθέσιμη, το σήμα valid τίθεται στην τιμή 1'b1.

Οι παράμετροι M και N που περιγράφουν την οριζόντια και κάθετη διάσταση της μνήμης θα πρέπει να δηλωθούν είτε με τη δήλωση **parameter** είτε με τη δήλωση προεπεξεργαστή **defparam**.

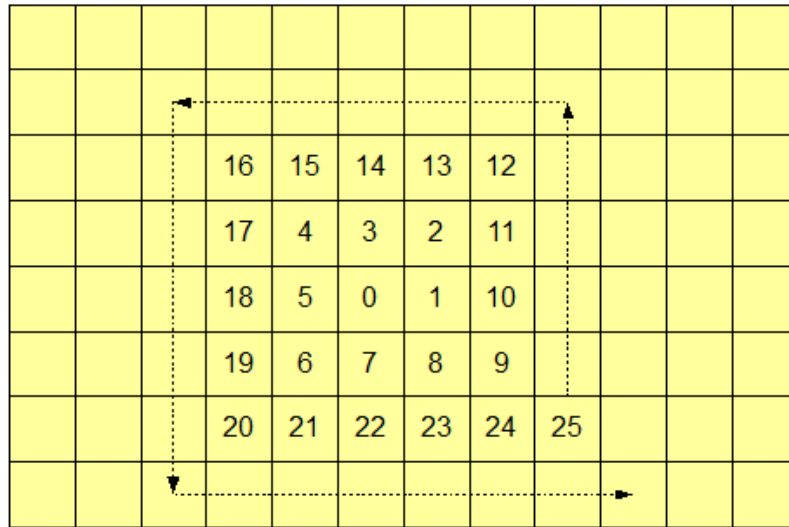


Σχήμα 1: Η διεπαφή της γεννήτριας σπειροειδών διευθύνσεων

Πίνακας 1: Θύρες εισόδου και εξόδου για το κύκλωμα

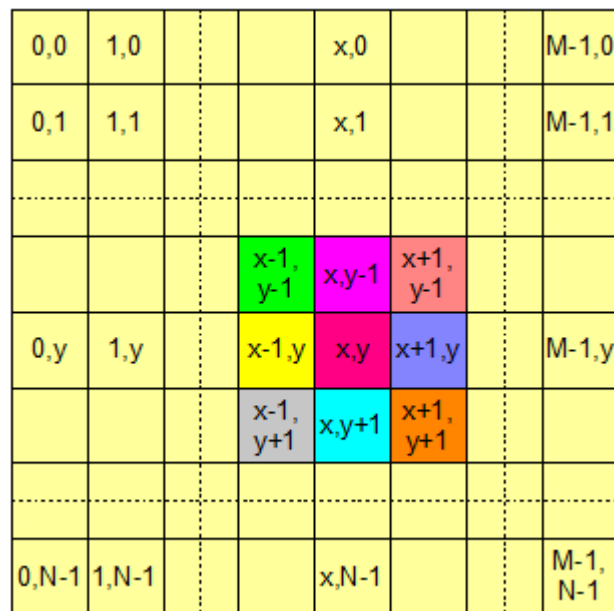
Θύρα	Εύρος bit	Κατευθυντι κότητα	Περιγραφή
clk	1	Είσοδος	Είσοδος ρολογιού
reset	1	Είσοδος	Επανατοποθέτηση
init	1	Είσοδος	Σήμα ενεργοποίησης
x_addr	log2(M)	Είσοδος	Διεύθυνση κατά x
y_addr	log2(N)	Είσοδος	Διεύθυνση κατά y
xy_addr	log2(M*N)	Έξοδος	Γραμμικοποιημένη διεύθυνση
valid	1	Έξοδος	Επιβεβαίωση εγκυρότητας της εξόδου

Η συνάρτηση $\log_2(x)$ υπολογίζει τον πλησιέστερο μεγαλύτερο ακέραιο (ceiling) στο λογάριθμο ως προς 2 ενός ακεραίου x . Χρησιμοποιείται για τον υπολογισμό του μέγιστου εύρους bit που χρειάζεται για τη διευθυνσιοδότηση σε μία σειρά δεδομένων όταν είναι γνωστός ο μέγιστος αριθμός των στοιχείων που την απαρτίζουν. Υλοποιείται ως function στη Verilog HDL και δίνεται στο Σχήμα 4.



Σχήμα 2: Σπειροειδής (spiral) ακολουθία διευθύνσεων

Στο Σχήμα 3 παρουσιάζονται οι μαθηματικές εκφράσεις για τις 8 γειτονικές διευθύνσεις της θέσης (x,y) .



Σχήμα 3: Μαθηματικές εκφράσεις για τις άμεσα γειτνιάζουσες διευθύνσεις ως προς τη θέση (x,y)

```
// Base-2 logarithm function (LOG2(x)) [rounds to ceiling]
function integer log2;
input integer inp;
integer temp, i;
begin
log2 = 0;
temp = 1;
for (i = 0; i <= inp; i = i + 1)
begin
```

```
    if (temp < inp)
    begin
        log2 = log2 + 1;
        temp = temp * 2;
    end
end
end
endfunction
```

Σχήμα 4: Συνάρτηση υπολογισμού του $\text{ceil}(\log_2(x))$.

Παράδοση και βαθμολόγηση της εργασίας

Στην εργασία του μαθήματος, ο φοιτητής καλείται

- να παραδώσει την περιγραφή του κυκλώματος που σχεδίασε σε Verilog HDL
- να αναπτύξει σε κείμενο την περιγραφή της λειτουργίας του κυκλώματος
- να παρουσιάσει αποτελέσματα (π.χ. κυματομορφές, αρχεία εισόδου/εξόδου) τα οποία να αποδεικνύουν τη σωστή λειτουργία του κυκλώματος

Η εργασία παραδίδεται σε τυπωμένη μορφή (με το συνολικό κώδικα Verilog HDL) και υποβάλλεται σε ηλεκτρονική μορφή (PDF της εργασίας + αρχεία κώδικα) στο email του διδάσκοντα. Οι φοιτητές μπορούν να παραδώσουν τις εργασίες τους το αργότερο μέχρι και την ημέρα των εξετάσεων της περιόδου Ιουνίου-Ιουλίου 2010. Εργασία η οποία θα παραδοθεί μετά το πέρας αυτής της ημερομηνίας, δεν θα βαθμολογηθεί ώστε να ληφθεί υπόψη για τις εξετάσεις της περιόδου Ιουνίου-Ιουλίου.

Μια εργασία βαθμολογείται με άριστα το 1.25. Μη εμπρόθεσμη παράδοση εργασίας συνεπάγεται το βαθμό μηδέν (0).

Η εργασία του μαθήματος είναι υποχρεωτική.