

Προγραμματιζόμενο κυψελωτό αυτόματο

Μάθημα: Γλώσσες Περιγραφής Υλικού I (CST304 / 2009-2010)

Διδάσκων: Νικόλαος Καββαδίας

nkavn@uop.gr

30/03/2010

Αντικείμενο της εργασίας

Αντικείμενο αυτής της εργασίας είναι η περιγραφή σε Verilog HDL ενός μονοδιάστατου κυψελωτού αυτόματου, στο οποίο μπορούμε να προγραμματίσουμε τον κανόνα τον οποίο ακολουθεί. Το κύκλωμα αποτελείται από τον εσωτερικό καταχωρητή *ca*, των *N*-bit, ο οποίος υλοποιεί τα κελιά του αυτόματου και τον 8-bit καταχωρητή *rule*, ο οποίος καταγράφει την προγραμματισμένη λειτουργία του αυτόματου με την μορφή ενός κανόνα από το 0 ως το 255.

Η επόμενη τιμή ενός κελιού μπορεί να είναι 0 ή 1 και εξαρτάται από τις τρέχουσες τιμές του ίδιου του κελιού και των δύο γειτονικών του (δεξιά και αριστερά του). Για τα κελιά στις θέσεις 0 και *N*-1 γειτονικά τους θεωρούνται τα *N*-1, 1 και *N*-2, 0, αντίστοιχα. Από τις εισόδους *ca_in* και *rule_in*, και στην περίπτωση που είναι *en* = 1, δίνεται η αρχική κατάσταση του καταχωρητή *ca*, καθώς και ο κανόνας που υλοποιεί το αυτόματο, αντίστοιχα. Με εφαρμογή της εισόδου *reset*, διαγράφονται τα περιεχόμενα των καταχωρητών *ca* και *rule*. Η είσοδος *start* ενεργοποιεί τη λειτουργία του αυτόματου. Η έξοδος *ca_out* δίνει την τιμή που βρίσκεται αποθηκευμένη στον καταχωρητή *ca*.

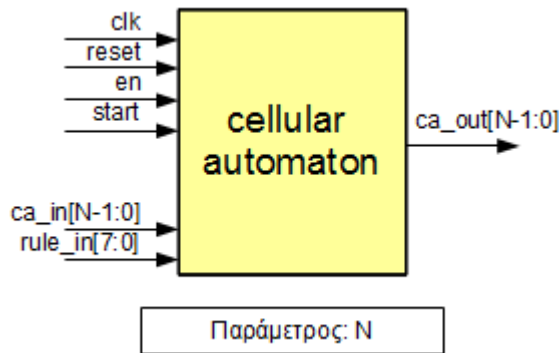
Η νέα κατάσταση του κελιού *ca[i]* καθορίζεται σύμφωνα με τον Πίνακα 1.

Πίνακας 1: Πίνακας προγραμματισμού ενός μονοδιάστατου κυψελωτού αυτόματου.

Κελί <i>ca</i> [<i>i</i> -1]	Κελί <i>ca</i> [<i>i</i>]	Κελί <i>ca</i> [<i>i</i> +1]	Τιμή του αντίστοιχου bit στον καταχωρητή <i>rule</i> (0 ή 1)
0	0	0	A
0	0	1	B
0	1	0	C
0	1	1	D
1	0	0	E
1	0	1	F
1	1	0	G
1	1	1	H

Παραδείγματα κανόνων αποτελούν ο κανόνας 110 (ABCDEFGH = 01101110 στο δυαδικό) και ο κανόνας 30 (00011110).

Ενδεικτική διεπαφή του κυκλώματος δίνεται στο Σχήμα 1, και οι θύρες εισόδου και εξόδου περιγράφονται αναλυτικά στον Πίνακα 2.



Σχήμα 1: Η διεπαφή του προγραμματιζόμενου κυψελωτού αυτόματου.

Πίνακας 2: Θύρες εισόδου και εξόδου για το κύκλωμα.

Θύρα	Εύρος bit	Κατευθυντικότητα	Περιγραφή
clk	1	Είσοδος	Είσοδος ρολογιού
reset	1	Είσοδος	Επανατοποθέτηση
en	1	Είσοδος	Επίτρεψη για την παράλληλη φόρτωση των εισόδων ca_in και rule_in
start	1	Είσοδος	Έναρξη λειτουργίας του κυκλώματος
ca_in	N	Είσοδος	Είσοδος δεδομένων για τον καταχωρητή ca
rule_in	8	Είσοδος	Είσοδος δεδομένων για τον καταχωρητή rule
ca_out	N	Έξοδος	Έξοδος από τον καταχωρητή ca

Παράδοση και βαθμολόγηση της εργασίας

Στην εργασία του μαθήματος, ο φοιτητής καλείται

- να παραδώσει την περιγραφή του κυκλώματος που σχεδίασε σε Verilog HDL
- να αναπτύξει σε κείμενο την περιγραφή της λειτουργίας του κυκλώματος
- να παρουσιάσει αποτελέσματα (π.χ. κυματομορφές, αρχεία εισόδου/εξόδου) τα οποία να αποδεικνύουν τη σωστή λειτουργία του κυκλώματος

Η εργασία παραδίδεται σε τυπωμένη μορφή (με το συνολικό κώδικα Verilog HDL) και υποβάλλεται σε ηλεκτρονική μορφή (PDF της εργασίας + αρχεία κώδικα) στο email του διδάσκοντα. Οι φοιτητές μπορούν να παραδώσουν τις εργασίες τους το αργότερο μέχρι και την ημέρα των εξετάσεων της περιόδου Ιουνίου-Ιουλίου 2010. Εργασία η οποία θα παραδοθεί μετά το πέρας αυτής της ημερομηνίας, δεν θα βαθμολογηθεί ώστε να ληφθεί υπόψη για τις εξετάσεις της περιόδου Ιουνίου-Ιουλίου.

Μια εργασία βαθμολογείται με άριστα το 1.25. Μη εμπρόθεσμη παράδοση εργασίας συνεπάγεται το βαθμό μηδέν (0).

Η εργασία του μαθήματος είναι υποχρεωτική.